

Code de distribution interne :

- (A) Publication au JO
(B) Aux Présidents et Membres
(C) Aux Présidents
(D) Pas de distribution

D E C I S I O N
du 6 mars 2003

N° du recours : T 0662/99 - 3.4.3

N° de la demande : 96400226.5

N° de la publication : 0725436

C.I.B. : H01L 21/8246

Langue de la procédure : FR

Titre de l'invention :

Procédé de fabrication d'une mémoire morte en technologie MOS,
et mémoire ainsi obtenue

Demandeur :

ATMEL NANTES SA

Opposant :

-

Référence :

-

Normes juridiques appliquées :

CBE Art. 84, 54, 56

Mot-clé :

"Après modifications : clarté (oui)"

"Nouveauté (oui)"

"Activité inventive (oui)"

Décisions citées :

-

Exergue :

-



N° du recours : T 0662/99 - 3.4.3

D E C I S I O N
de la Chambre de recours technique 3.4.3
du 6 mars 2003

Requérant : ATMEL NANTES SA
Route de Gachet,
La Chantrerie
F-44300 Nantes (FR)

Mandataire : Frédèche, Michel
Cabinet Plasseraud
84, rue D'Amsterdam
F-75009 Paris (FR)

Décision attaquée : Décision de la division d'examen de l'Office européen des brevets signifiée par voie postale le 5 mars 1999 par laquelle la demande de brevet européen n° 96 400 226.5 a été rejetée conformément aux dispositions de l'article 97(1) CBE.

Composition de la Chambre :

Président : R. K. Shukla
Membres : M. Chomentowski
M. J. Vogel

Exposé des faits et conclusions

I. La demande de brevet européen N° 96 400 226.5 (N° de publication 0 725 436) a été déposée avec 5 revendications, les revendications 1 et 4 ayant le texte suivant :

"1. Procédé de fabrication d'une mémoire morte en technologie MOS, mémoire dans laquelle un mot de n bits est mémorisé par l'intermédiaire de chaînes de transistors MOS connectés en cascade à une ligne de donnée, chaque chaîne étant constituée par des transistors MOS programmés de type soit à enrichissement, soit à déplétion, caractérisé en ce que ledit procédé consiste, à partir d'un substrat de silicium d'un premier type de conduction, suite à des étapes de définition de zones actives par masquage, retrait du masque et oxydation de protection,

- a) à effectuer par masquage une définition, dans le substrat, de caissons rétrogrades de même type de conduction que le type de conduction du substrat,
- b) à effectuer par masquage une définition, dans le substrat de caissons rétrogrades de type de conduction opposé à celui du substrat, et simultanément une définition des transistors à déplétion,
- c) à effectuer un retrait de l'oxyde de protection, ce qui permet de prédéfinir lesdits transistors à enrichissement respectivement à déplétion, ledit substrat étant ensuite soumis aux étapes de croissance d'oxyde de grille, d'ajustement des tensions de seuil, de définition des diffusions de type de conduction opposé respectivement de même type de conduction que celui du substrat par masquage puis de métallisation des connexions."

: "4. Mémoire morte en technologie MOS, dans laquelle un mot de m bits est mémorisé par l'intermédiaire de chaînes de transistors MOS connectés en cascade à une ligne de donnée, chaque chaîne étant constituée par des transistors MOS programmés, soit de type à enrichissement, soit de type à déplétion, lesdits transistors MOS programmés formant sur un substrat de matériau semi-conducteur une matrice de points mémoire adressables séparés par des roues d'oxyde de silicium épaisses (LOCOS) adjacentes et reliés à une ligne de donnée par un transistor de sélection, caractérisé en ce que tous les transistors MOS programmés à déplétion et tous les transistors de sélection présentent, dans un plan de coupe du substrat contenant un alignement desdits transistors, un même profil d'implantation."

Dans le texte initial, les revendications 2 à 4 dépendent de la revendication 1 et la revendication 5 dépend de la revendication 4.

II. La demande, dans le texte initial, a été rejetée par décision de la division d'examen datée du 5 mars 1999 au motif que la revendication 1 ne satisfaisait pas à l'exigence de clarté de l'article 84 CBE.

Le raisonnement de la division d'examen peut se résumer comme suit :

Le procédé de fabrication d'une mémoire morte en technologie MOS selon la revendication 1 ne décrit pas les étapes de fabrication des caissons rétrogrades, des transistors à déplétion ou des transistors à enrichissement. La revendication ne comprend que les étapes de définition par masquage, retrait du masque et oxydation de protection, et non les étapes nécessaires à la réalisation des caissons et des transistors. La revendication 1 ne donne aucun détail sur la position des éléments formant la mémoire ni sur la manière

d'introduire les impuretés dans les différentes régions des caissons et des transistors. Pour définir clairement la fabrication d'une mémoire, il y a lieu d'indiquer et d'énumérer les étapes essentielles de fabrication de chaque élément essentiel formant ladite mémoire. Par conséquent, il y a une ambiguïté quant à l'objet pour lequel la protection est demandée. Il s'ensuit que cet objet n'est pas défini clairement dans la revendication 1.

Dans l'unique notification officielle ayant précédé la décision, la division d'examen avait objecté que d'autres revendications présentaient des défauts de clarté et que l'objet de certaines revendications n'était pas nouveau ou n'impliquait pas d'activité inventive par rapport au contenu du document

D1 = US-A-4 608 748.

- III. Le demandeur a formé un recours contre la décision de la division d'examen le 6 avril 1999 et payé la taxe de recours le même jour. Un mémoire exposant les motifs du recours a été déposé le 16 juin 1999.

En particulier, le remboursement de la taxe de recours était demandé en raison d'un vice substantiel de procédure.

- IV. Durant la procédure orale du 6 mars 2003 le requérant (demandeur) a déposé de nouvelles revendications 1 à 5, les revendications 1, 2 et 4 ayant le texte suivant :

"1. Procédé de fabrication d'une mémoire morte en technologie MOS, ladite mémoire **comportant une matrice formée d'une pluralité** de chaînes de transistors MOS de type soit à enrichissement, soit à déplétion, **reliées chacune à un transistor de sélection situé en périphérie de ladite matrice**, ledit procédé comprenant, suite à une

étape d'oxydation de protection (KOOI) de la surface d'un substrat de silicium d'un premier type de conduction (P), les étapes suivantes :

- a) - masquer partiellement (R) la surface du substrat,
 - **doper par implantation ionique (In) d'un second type de conduction (n) opposé au premier type de conduction**, les zones libres du substrat,
 - et retirer le masque du substrat,

- b) **doper, par implantation ionique (Ip) du premier type de conduction (p), la surface du substrat**, pour former :

dans les parties du substrat précédemment masquées à l'étape a), des caissons rétrogrades du premier type de conduction (p) formant les canaux des transistors à enrichissement (NMOS), et, dans des parties non masquées à l'étape a), **des caissons rétrogrades du second type de conduction (n) non compensés par l'implantation du premier type de conduction (Ip)**, formant :

- les canaux des transistors à déplétion (NMOS),
 - et les canaux des transistors de sélection (PMOS),
- c) et poursuivre la fabrication de la mémoire notamment en retirant l'oxyde de protection (KOOI) et en formant la grille, le drain et la source des transistors."

"2. Procédé selon la revendication 1, caractérisé en ce que l'implantation ionique de l'étape a) est plus profonde que l'implantation de l'étape b)".

"4. Mémoire morte en technologie MOS, **obtenue par la mise en oeuvre du procédé selon l'une des revendications 1 à 3**, mémoire dans laquelle un mot de m bits est mémorisé par l'intermédiaire de chaînes de transistors MOS connectés en cascade à une ligne de donnée, chaque chaîne étant constituée par des transistors MOS programmés, soit de type à enrichissement, soit de type à déplétion, lesdits transistors MOS programmés formant sur un substrat de matériau semi-conducteur une matrice de points mémoire adressables séparés par des roues d'oxyde de silicium épaisses (LOCOS) adjacentes et reliés à une ligne de donnée par un transistor de sélection, caractérisé en ce que tous les transistors MOS programmés à déplétion **(NMOS à déplétion)** et tous les transistors de sélection **(PMOS à enrichissement)** présentent, dans un plan de coupe du substrat contenant un alignement desdits transistors, un même profil d'implantation **du canal.**"

La Chambre a fait ressortir les parties les plus importantes différenciant la revendication 1 de celle de la demande telle que déposée.

Les revendications dépendantes 3 et 5 sont substantiellement identiques aux revendications 3 et 5 telles que déposées.

V. Le requérant requiert l'annulation de la décision contestée et la délivrance d'un brevet sur la base des pièces suivantes de la demande :

Revendications :

N° 1 à 5 telles que déposées pendant la procédure orale ;

Description :

Pages 1 à 3, 6 à 8 et 10 à 15 telles que déposées ;

Pages 4 et 4a telles que déposées avec la lettre du 18 septembre 2002 ;

Pages 5 et 9 telles que déposées avec la lettre du 5 février 2003 ;

Dessins :

Feuilles 1/5 à 3/5 telles que déposées ;

Feuilles 4/5 (Figure 3) et 5/5 (Figure 6) telles que déposées avec la lettre du 5 février 2003.

De plus, le requérant retire sa demande de remboursement de la taxe de recours.

VI. Les arguments du requérant à l'appui de sa requête peuvent se résumer comme suit :

Les revendications ont été modifiées de manière à préciser les étapes nécessaires à la formation de la mémoire par masquage et par implantations d'ions des deux types de conduction. En particulier, dans des parties dans lesquelles les implantations des deux types de conduction sont effectuées, il est indiqué qu'il n'y a pas de compensations des implantations d'ions de type de conduction opposé à celui du substrat.

Ceci permet de fabriquer des mémoires comprenant des transistors à enrichissement et à déplétion dans la partie mémoire, et des transistors de sélection à la périphérie de la mémoire, la simultanéité de certaines opérations permettant d'obtenir des canaux des transistors de déplétion qui sont profonds et donc

toujours ouverts, fonctionnant comme des courts-circuits. Ceci est une caractéristique importante pour une mémoire dans laquelle le court-circuit indique des états logiques particuliers de façon stable.

Les revendications sont donc claires. Leur objet est aussi nouveau et inventif au vu de l'art antérieur, par exemple du document D1, qui ne suggère pas de procédé ou de mémoire comprenant de telles caractéristiques.

Motifs de la décision

1. Le recours est recevable.
2. *Admissibilité des modifications*

La revendication 1 précise que les différentes opérations destinées à former les différents caissons rétrogrades et donc les canaux des différents transistors MOS comprennent des implantations ioniques de types de conduction spécifiques. Au cours de l'étape (b), ces opérations peuvent être soit masquées par un masque de résine (R), soit non masquée par un masque de résine, c'est-à-dire "plein champ", comme cela ressort de la formulation "et, dans **des** parties non masquées à l'étape a), des caissons rétrogrades du second non compensés". Ces deux alternative sont basées sur la demande initiale (voir la revendication 1 et page 11, lignes 7 à 19, Figures 3 et 4, respectivement). Les autres caractéristiques nouvelles, comme par exemple les implantations d'ions de différents types, ressortent aussi directement de la description et des figures initiales.

La revendication 2 de la requête spécifie que l'implantation ionique de l'étape a) est plus profonde que l'implantation de l'étape b) du même type de

conduction que le substrat. Cette caractéristique peut être déduite de la description initiale (voir page 10, lignes 3 à 23).

La revendication 4 de la requête, qui précise que la mémoire morte en technologie MOS est **obtenue par la mise en oeuvre du procédé selon l'une des revendications 1 à 3**, et que, pour tous les transistors MOS programmés à déplétion et tous les transistors de sélection présentent, dans un plan de coupe du substrat contenant un alignement desdits transistors, le même profil d'implantation est celui **du canal**, est aussi basée sur les indications de la demande telle que déposée, en particulier comme dispositif obtenu par le procédé de fabrication décrit.

Les modifications apportées aux Figures 3 et 6, par exemple le type (p) de conduction du substrat et l'emplacement et la forme du canal du transistor à déplétion, correspondent au texte initial de la description (voir page 9, lignes 18 à 21 et page 14, lignes 9 à 17, respectivement).

Les autres modifications ne concernent que l'adaptation de la description au texte des nouvelles revendications.

Par conséquent, de l'avis de la Chambre, la demande satisfait à l'exigence de l'article 123 (2) CBE selon lequel une demande de brevet européen ne peut être modifiée de manière que son objet s'étende au-delà du contenu de la demande telle qu'elle a été déposée.

3. *Clarté*

La revendication 1 indique et énumère les étapes essentielles de fabrication de chaque élément essentiel formant la mémoire, c'est-à-dire les étapes de définition par masquage et les opérations d'implan-

tations d'ions de différents types de conduction. Quoique la position des caissons ne soit pas précisée dans la revendication, la Chambre considère qu'il n'y a pas d'ambiguïté en ce sens que le dispositif à fabriquer, c'est-à-dire une mémoire morte en technologie MOS comprenant une matrice formée d'une pluralité de chaînes de transistors MOS de type soit à enrichissement, soit à déplétion, reliées chacune à un transistor de sélection situé en périphérie de ladite matrice, est mentionné et est généralement connu de l'homme du métier.

Les précisions apportées aux revendications, en particulier celles concernant les différentes étapes d'implantation d'ions de types de conduction spécifiques et la façon dont elles sont organisées du point de vue du masquage, répondent aux objections émises par la division d'examen quant aux ambiguïtés résultant d'une définition incomplète des étapes du procédé. C'est ainsi que l'opération par laquelle, en fin d'étape (a), le masque est retiré du substrat, permet la formation, durant l'étape (b), de régions du substrat dopées par implantation ionique au cours des deux étapes (a) et (b) et de régions du substrat précédemment masquées et dopées uniquement au cours de l'étape (b).

Il convient de remarquer que la revendication 4 précise que le dispositif est obtenu par la mise en oeuvre du procédé selon l'une des revendications 1 à 3, et que les profils d'implantation mentionnés sont ceux des canaux des transistors MOS à déplétion et des transistors MOS de sélection, ce qui répond aux objections d'ambiguïté formulées auparavant.

Par conséquent, de l'avis de la Chambre, les revendications satisfont à l'exigence de clarté de l'article 84 CBE.

4. *Nouveauté et activité inventive*

- 4.1 Il n'a pas été contesté que l'art antérieur le plus proche est représenté par le document D1, qui concerne un procédé du même type que celui de la revendication 1. Cependant, dans le procédé connu, l'opération de définition des transistors à déplétion de la mémoire, c'est-à-dire la formation de la zone de canal de ce transistor par implantation ionique, est effectuée en fin du processus complet (voir colonne 6, lignes 31 à 35).

Ceci est contraire au procédé de la revendication 1. En effet, dans ce dernier, la formation des canaux des transistors à déplétion est simultanée à la formation des canaux des transistors à enrichissement (NMOS) dans les parties précédemment masquées et des canaux des transistors de sélection (PMOS). En effet, suite à la seconde étape du procédé, des parties des caissons rétrogrades du type de conduction opposé à celui du substrat non compensées par l'implantation ionique du même type que le substrat formeront les canaux des transistors à déplétion, tandis que les autres parties formeront les canaux des autres transistors.

Certes, le document D1 (voir colonne 1, ligne 32 à colonne 3, ligne 5 ; Figures 4A à 4E) décrit comme connue un procédé de fabrication semblable dans lequel la formation des canaux des transistors à déplétion est effectuée avant la formation des canaux des autres transistors de la mémoire. Cependant, dans ce cas, la formation des canaux des autres transistors de mémoire et des transistors de sélection n'est pas décrite.

L'objet de la revendication 1 est donc nouveau au sens de l'article 54 (1) et (2) CBE.

- 4.2 Le procédé de la revendication 1 permet de n'utiliser qu'un nombre limité de masques d'implantation, en particulier un seul, si l'étape (b) est effectuée "plein champ". L'argument du requérant, selon lequel ceci résulte en un gain de temps appréciable pour la fabrication de la mémoire, est donc crédible.

Les autres documents de l'art antérieur sont moins pertinents et, seuls ou en combinaison, ne permettent pas d'arriver de façon évidente à l'objet de la revendication 1.

Par conséquent, la Chambre est d'avis que l'objet de la revendication 1 implique une activité inventive au sens de l'article 56 CBE.

- 4.3 La mémoire selon la revendication 4 résulte de la mise en oeuvre du procédé de la revendication 1, de sorte que tous les transistors MOS programmés à déplétion (NMOS à déplétion) et tous les transistors de sélection (PMOS à enrichissement) présentent, dans un plan de coupe du substrat contenant un alignement desdits transistors, un même profil d'implantation du canal. Cette caractéristique ne peut être déduite du contenu des documents de l'art antérieur, et en particulier du document D1. La mémoire revendiquée se distingue donc des mémoires connues.

Par conséquent, l'objet de la revendication 4 est aussi nouveau au sens de l'article 54 CBE.

Le requérant a soumis l'argument selon lequel les caractéristiques de dopage et d'épaisseur du canal du transistor de déplétion sont déterminées par le procédé et sont donc liées aux caractéristiques des caissons rétrogrades des autres transistors. Il s'ensuit que le canal des transistors de déplétion est épais et donc toujours ouvert, formant ainsi un court-circuit

utilisable pour indiquer un état logique localisé dans la mémoire (voir aussi page 2, ligne 11 à page 3, ligne 7 ; page 11, ligne 36 à page 12, ligne 10 ; Figure 6).

Cette caractéristique de la mémoire revendiquée n'est pas évidente au vu du document D1 ou des autres documents de l'art antérieur, qui d'ailleurs sont moins pertinents.

L'objet de la revendication 4 implique donc une activité inventive au sens de l'article 56 CBE.

5. Un brevet européen peut donc être délivré sur cette base (Art. 97 (2) CBE).

Dispositif

Par ces motifs, il est statué comme suit :

1. La décision contestée est annulée.
2. L'affaire est renvoyée à l'instance du premier degré avec l'ordre de délivrer un brevet sur la base des pièces suivantes de la demande de brevet :

Revendications :

N° 1 à 5 telles que déposées pendant la procédure orale ;

Descriptions :

Pages 1 à 3, 6 à 8 et 10 à 15 telles que déposées ;

Pages 4 et 4a telles que déposées avec la lettre du 18 septembre 2002 ;

Pages 5 et 9 telles que déposées avec la lettre
du 5 février 2003 ;

Dessins :

Feuilles 1/5 à 3/5 telles que déposées ;

Feuilles 4/5 (Figure 3) et 5/5 (Figure 6) telles que
déposées avec la lettre du 5 février 2003.

Le Greffier :

Le Président :

M. Zawadzka

R. K. Shukla