

Code de distribution interne :

- (A) Publication au JO
(B) Aux Présidents et Membres
(C) Aux Présidents

D E C I S I O N
du 7 avril 2000

N° du recours : T 0540/98 - 3.5.2

N° de la demande : 93402217.9

N° de la publication : 0588700

C.I.B. : G11C 7/00

Langue de la procédure : FR

Titre de l'invention :
Mémoire de programme à semi-conducteur protégée en lecture

Demandeur :
MATRA MHS

Opposant :
-

Référence :
-

Normes juridiques appliquées :
CBE Art. 54, 56, 113(1)
CBE R. 67, 68(1)

Mot-clé :
"Nouveauté (oui)"
"Activité inventive (oui)"
"Vice substantiel de procédure (non)"
"Remboursement de la taxe de recours (refusé)"

Décisions citées :
-

Exergue :
-



N° du recours : T 0540/98 - 3.5.2

D E C I S I O N
de la Chambre de recours technique 3.5.2
du 7 avril 2000

Requérant : MATRA MHS
La Chantrerie
Route de Gachet CP 3008
F - 44087 Nantes Cédex 03 (FR)

Mandataire : Fréchède, Michel
Cabinet Plasseraud
84, rue d'Amsterdam
F - 75440 Paris Cédex 09 (FR)

Décision attaquée : Décision de la division d'examen de l'Office européen des brevets signifiée par voie postale le 22 janvier 1998 par laquelle la demande de brevet n° 93 402 217.9 a été rejetée conformément aux dispositions de l'article 97(1) CBE.

Composition de la Chambre :

Président : W. J. L. Wheeler
Membres : M. R. J. Villemin
B. J. Schachenmann

Exposé des faits et conclusions

I. Le requérant a formé le recours contre la décision de la Division d'examen, rejetant la demande de brevet européen n° 93 402 217.9 pour le motif que l'objet de la revendication 1 soumise avec la lettre du 10 juin 1997 n'était pas nouveau par rapport au dispositif décrit dans le document :

D1 : EP-A-0 040 045.

II. La revendication 1 s'énonce comme suit :

" Mémoire de programme à semi-conducteur protégée en lecture, de type mémoire morte, comportant une première (A) zone mémoire de programme, destinée à stocker les données de programme, ladite première (A) zone mémoire de programme étant constituée par un réseau de transistors MOS (T_{ij}) arrangés sous forme matricielle de lignes (j) et de colonnes (i), une ligne comportant au moins une ligne de mot et une colonne comportant au moins une ligne de bit, et une deuxième (B) zone mémoire de cryptage, destinée à stocker les données de cryptage, caractérisée en ce que ladite deuxième (B) zone mémoire de cryptage comprend une ligne de bit comportant un réseau de transistors MOS (T_{cj}), arrangés sous forme matricielle de lignes (j), et dont les grilles sont reliées à la ligne de mot correspondante, et en ce que pour un réseau de transistors MOS dans lesquels les grilles des transistors (T_{ij}) d'une même ligne sont reliées à une même ligne de mot (WL_j), et les drains desdits transistors d'une même colonne sont reliés à une ligne de bit (BL_1), ladite deuxième mémoire de cryptage est constituée par des transistors MOS de même type (T_{cj}) connectés à une ligne de bit de cryptage et en nombre identique aux transistors MOS de la zone mémoire de données, connectés aux lignes de bit correspondantes,

ladite mémoire comportant un opérateur logique (C) interconnecté auxdites zone mémoire de programme et zone mémoire de cryptage et permettant, sur lecture simultanée desdites zones mémoire de programme respectivement de cryptage, d'obtenir des données de programme cryptées."

Les revendications 2 à 8 dépendent de la revendication 1.

III. Le requérant a soumis essentiellement les faits et les arguments suivants :

- a) Aucun texte des revendications n'était joint à la décision de rejet, ce qui constituait un "manquement manifeste" aux dispositions établies par les Directives relatives à l'examen pratiqué à l'Office européen des brevets, partie E, chapitre X, page 51, point 4.3, relatives à l'interprétation de la règle 68(1) CBE.
- b) En réponse à la première lettre officielle, l'objection du titulaire à propos du document D1, selon laquelle des données décodées non cryptées étaient délivrées par le transistor Q₁, n'avait fait l'objet d'aucune réfutation de la part de la Division d'examen. Le motif de défaut de nouveauté invoqué par la Division d'examen n'était pas fondé, l'appréciation de la brevetabilité de la revendication 1 ressortissait manifestement du critère d'activité inventive.
- c) Pendant la procédure d'examen, la Division d'examen n'avait pas réfuté l'argumentation du titulaire relative à l'absence de pertinence de la figure 4 du document D1. L'ensemble des motifs suivants avait été

présenté pour la première fois dans la décision de rejet, si bien que le titulaire n'avait pu prendre position sur ces motifs :

- les deux zones de mémoire de la mémoire morte décrite dans D1 étaient destinées à stocker respectivement des données et de l'information de codage,
- la mémoire selon la revendication 1 importait peu, car la signification des données stockées ou le nom qui leur était assigné ne distinguait pas la structure de la mémoire revendiquée de celle connue du document D1,
- bien que la variante de réalisation selon la figure 5 de D1 fût fonctionnellement identique à celle la figure 4, les transistors Q_H étaient néanmoins présents dans la structure illustrée par la figure 5 de D1, le but de ces transistors était de rendre indiscernables les lignes de mots qui faisaient l'objet du codage.

Une telle pratique constituait une violation des dispositions de l'article 113(1) CBE. Le remboursement de la taxe de recours était demandé car cette violation constituait un vice substantiel de procédure.

IV. Le requérant demande, à titre de requête principale :

- a) Le remboursement de la taxe de recours,
- b) L'annulation de la décision attaquée,
- c) Le renvoi de l'affaire à l'instance du premier degré pour délivrance d'un brevet sur la base des documents suivants :

Revendications :

N° 1 à 8 soumises avec la lettre du 10 juin 1997.

Description :

Pages 1 et 3 à 10 telles que déposées ; page 2 soumise avec la lettre du 10 juin 1997 ; page 2a, soumise avec la lettre du 14 novembre 1997.

Dessins :

Feuilles 1/6 à 6/6 telles que déposées.

Le requérant a également soumis une requête auxiliaire.

Motifs de la décision

1. Le recours est recevable.
2. *Requête principale*

La revendication 1 de cette requête est identique à la revendication 1 refusée par la Division d'examen et se fonde sur le texte de la demande telle que déposée. La Chambre n'a pas d'objections à formuler au titre des articles 84 et 123(2) CBE.

2.1 *Nouveauté*

La Division d'examen a rejeté la demande pour le motif que l'objet de la revendication 1 n'était pas nouveau par rapport à la mémoire morte connue de D1.

- 2.1.1 Il est mentionné dans la revendication 1 que la zone mémoire de programme est constituée par "un réseau de transistors MOS (Tij) arrangés sous forme matricielle de

lignes (j) et de colonnes (i)". Par "forme matricielle" l'homme du métier comprend qu'il est fait allusion à une disposition des transistors identique à celle des éléments (a_{ij}) d'un opérateur mathématique "matrice". Dans le cas présent, un élément de la forme matricielle indiquée dans la revendication 1 est donc représenté par un transistor. Toutefois, il est évident qu'une matrice n'est définie que si tous ses éléments sont eux-mêmes définis, c'est-à-dire tous présents. La "forme matricielle" décrite par le "réseau de transistors" de la matrice revendiquée implique donc clairement qu'un transistor MOS est placé au croisement de chaque ligne de matrice avec chaque colonne de matrice. Cela reste vrai même si, lors de la programmation, plusieurs des transistors sont isolés ou mis en court-circuit (voir la demande de brevet, page 2, lignes 12 à 25).

2.1.2 Pour des raisons qui seront exposées plus en détail dans la partie "Activité inventive" de la présente décision, la mémoire morte décrite dans D1 est agencée pour fonctionner, par rapport à l'art antérieur, avec un nombre réduit de transistors Q_1 , Q_0 dont les grilles sont branchées à une même ligne de mot. La figure 3 de D1 est la structure de base d'une mémoire morte équipée de transistors Q_1 , Q_0 et dont les variantes selon les figures 4 et 5 ne diffèrent que par la présence de transistors supplémentaires Q_i ou Q_i , Q_H , respectivement, dont les drains sont connectés à une ligne de bit supplémentaire BL'. La structure de base de la mémoire de données de la mémoire morte selon la figure 3 de D1 et celle de ses variantes selon les figures 4 et 5, sont constituées par un réseau agencé selon une matrice carrée de 8 lignes WL_0 à WL_7 et 8 colonnes BL_0 à BL_7 . La description de D1 indique et explique (voir en particulier page 5, lignes 22 à 24) que le nombre maximal de transistors MOS connectés à une ligne de mot est quatre, c'est-à-dire la moitié du nombre de transistors exigé par une mémoire de l'art antérieur

selon la figure 1 de D1. On constate même que certaines lignes de mots (WL_1 , WL_4) des mémoires selon les figures 3, 4 et 5 de D1 sont totalement dépourvues de transistors.

L'expression "memory cell" utilisée dans D1 ne signifie pas qu'un transistor "MOS" occupe chaque cellule de mémoire. Il est indiqué clairement par plusieurs passages de la description du document D1, soit qu'un transistor n'est pas formé, soit, ce qui revient au même, qu'un transistor MOS est absent dans certaines cellules de mémoire ("memory cell") situées aux intersections des lignes de mot et des lignes de bit (voir D1, page 2, ligne 31 à page 3, ligne 29 ; page 4, lignes 9 à 14 ; page 5, lignes 4 à 10 ; page 6, lignes 4 et 5 et 25 à 27).

2.1.3 La Chambre observe que la figure 1 de D1 et le commentaire qui l'a décrit (page 1, lignes 15 à 25) pourrait suggérer l'impression qu'un transistor MOS est néanmoins formé et placé, lors de la fabrication de la mémoire, à l'emplacement d'une cellule de mémoire du type C2 correspondant à la présence d'un "0" logique. Cette impression est trompeuse puisqu'il est mentionné expressis verbis dans D1 que la couche d'oxyde de porte 2-2 est relativement épaisse, si bien que "no transistor is substantially formed" (page 1, lignes 18 à 22 et page 3, lignes 23 à 27). Par conséquent, les trois électrodes formées à l'emplacement de cellule de mémoire C2 constituent simplement un dispositif semiconducteur inerte dans lequel il n'y a jamais formation d'un canal de conduction N ou P propre à un transistor MOS. Un tel dispositif ne remplit donc pas la fonction de transistor quand la mémoire est en opération.

La Division d'examen cite en particulier la figure 5 de D1 et s'appuie sur les passages de D1, page 2, ligne 31 à page 3, ligne 29 et page 5, lignes 1 à 4 et 36, 37,

pour affirmer que la première zone de mémoire de la mémoire morte selon la figure 5 de ce document comporte un transistor MOS à chaque intersection entre une ligne de bit et une ligne de mot. Pour les raisons exprimées ci-dessus cette affirmation n'est pas correcte.

2.1.4 Si l'on considère la mémoire selon la figure 5 de D1, on constate que la deuxième zone mémoire est constituée par des transistors (Q_i , Q_H) connectés à la ligne de bit BL' à raison de 1 transistor pour chaque ligne de mot WL_0 à WL_7 , alors qu'il n'y a pas toujours 1 transistor (Q_1 ou Q_0) de première zone mémoire connecté à une ligne de bit correspondante. En d'autres termes, la figure 5 de ce document montre que huit transistors (Q_i ou Q_H) sont connectés à la ligne de bit BL' de la deuxième zone mémoire alors qu'aucune ligne de bit (BL_0 - BL_7) de la première zone mémoire n'est connectée à huit transistors.

On remarque aussi sur la figure 4 de D1 qu'un transistor Q_1 de première zone de mémoire est bien placé à l'intersection de la ligne de mot WL_0 et des lignes de bit BL_1 et BL_5 , mais qu'il n'y a aucun transistor Q_i de deuxième zone de mémoire à l'intersection de cette ligne de mot WL_0 et de la ligne de bit BL'. Inversement, on observe la présence d'un transistor Q_i de deuxième zone pour la ligne de mot WL_2 , qui est totalement dépourvue de transistors Q_1 , Q_0 de première zone de mémoire.

Pour ces raisons, la Chambre ne peut pas partager l'opinion de la Division d'examen que D1 divulgue la caractéristique de la mémoire revendiquée selon laquelle la deuxième mémoire de cryptage est constituée par des transistors MOS de même type connectés à une ligne de bit de cryptage et en nombre identique aux transistors MOS de la zone mémoire de données, connectés aux lignes de bits correspondantes.

Par conséquent, le document D1 cité par la Division d'examen ne décrit pas une mémoire morte comportant l'ensemble des caractéristiques spécifiées dans la revendication 1, si bien que l'objet de la revendication 1 est nouveau au sens de l'article 54 CBE.

2.2 *Activité inventive*

2.2.1 Problème que doit résoudre la présente invention

Le problème que doit résoudre la présente invention est la mise au point d'une mémoire à semi-conducteur équipée de moyens permettant de supprimer tout risque de lecture par accès direct externe aux programmes mémoire et aux données mémorisées (voir description de la demande, page 2a, lignes 14 à 17).

La mémoire revendiquée fait intervenir un opérateur logique (C) connecté à une zone mémoire (A) de données mémorisées et à une zone mémoire (B) de cryptage permettant, lors de la lecture des données, d'obtenir des données cryptées délivrées par l'opérateur logique. La Chambre ne voit pas de difficultés quant à l'interprétation de l'expression "données cryptées" dont la signification est claire et supportée par la description. L'homme du métier entend, par "données cryptées", des données tout d'abord mises en mémoire puis qui font l'objet, lors de leur lecture, d'une transformation au moyen d'un algorithme de codage particulier reposant sur des paramètres secrets ou confidentiels, et interdisant tout accès non autorisé, par quelque moyen que ce soit, à ces données mises en mémoire.

Puisque la mémoire morte selon la présente l'invention est protégée en lecture, il est évident pour l'homme du métier que le mot crypté délivré par l'opérateur logique

(C) de la mémoire revendiquée doit être différent du mot précédemment lu dans la mémoire puis soumis à l'opération de cryptage.

Il est noté que la ligne de bit supplémentaire BL' et l'unité logique 13' ("output buffers") des variantes de la mémoire morte selon D1 ne sont pas prévues pour délivrer des données "cryptées" mais, au contraire, pour restituer un mot de sortie O_0 à O_7 , identique au mot inscrit et lu dans la mémoire (voir D1, page 7, lignes 6 à 9).

2.2.2 Le problème mentionné dans le document D1 consiste en la réalisation d'une mémoire morte de temps d'accès réduit (voir D1, page 2, ligne 3, 4). Ce problème est résolu en réduisant le nombre des transistors MOS connectés à une ligne de mot, de façon à diminuer la capacité totale due aux condensateurs formés par les couches minces d'oxyde requises par les grilles de ces transistors (voir D1, page 1, lignes 26 à 35 et page 7, ligne 37 à page 8, ligne 5). La mémoire morte selon les figures 3 et 4 de D1 met en œuvre deux zones mémoires constituées, d'une part, par la mémoire de données formée par les transistors de type Q_1 ou Q_0 , et, d'autre part, par la mémoire formée par le circuit de mémoire d'inversion 14 ("Inversion storing circuit"), comprenant les transistors Q_1 .

La question qui peut être posée est de savoir si l'homme du métier pourrait prendre l'enseignement de D1 en considération et envisager de modifier la mémoire morte divulguée par D1 en utilisant les données de la mémoire formée par son circuit d'inversion 14 afin de crypter les données de sa mémoire de données. Pour les raisons suivantes, il doit être répondu par la négative à cette question :

- a) Il est apparent que le problème de la réalisation d'une mémoire morte de temps d'accès réduit, selon D1, et celui de la réalisation d'une mémoire protégée en lecture, selon la présente invention, sont complètement différents. Dans ces conditions, l'homme du métier désireux de résoudre le problème selon la présente demande n'aurait a priori pas de raisons de prendre en considération l'enseignement de D1.
- b) Selon la revendication 1, les grilles des transistors T_{c_j} de la zone de cryptage et les grilles des transistors T_{i_j} de la zone de données sont connectées à une ligne de mot j , et chaque ligne de mot j est associée à un transistor T_{c_j} de la zone de cryptage. Le nombre de transistors T_{c_j} est égal au nombre de transistors T_{i_j} de la zone de données, connectés à une ligne de bit. Pour arriver à ce résultat, il faudrait modifier profondément les variantes de la mémoire divulguées par D1. Cependant, aucune variante de D1 ne permet à l'homme du métier d'envisager l'introduction de transistors supplémentaires sur les lignes de mots qui en sont partiellement ou complètement dépourvues parce qu'une telle modification augmenterait le temps d'accès, ce qui irait complètement à l'encontre de la solution adoptée dans D1 pour réaliser une mémoire morte de temps d'accès réduit.
- c) La conception des variantes de la mémoire morte selon D1 repose entièrement sur la nécessité de réduire le nombre de transistors de mémoire. Il est rappelé que cette réduction permet de limiter à quatre le nombre maximal de MOS par ligne de mot. Une telle réduction impose toutefois des mesures techniques et n'est réalisable que par la mise en oeuvre du circuit de mémoire d'inversion 14 comportant des transistors dont la présence ou l'absence à l'intersection d'une ligne de mot W_{L0} à W_{L7} avec la ligne de bit

supplémentaire BL' représente une opération logique selon laquelle un bit de données dans une ligne de mot subit ou ne subit pas une inversion (D1, page 6, lignes 4 à 8). Cette opération est effectuée par l'ensemble des circuits NOR exclusifs G_0 à G_7 et des inverseurs I_0 à I_7 du circuit 13', connectés à la ligne de bit supplémentaire BL' et à toutes les lignes de bit BL_0 à BL_7 de données.

Il est crucial de remarquer que la notion de cryptage est tout à fait étrangère à l'enseignement de D1. Cet enseignement conduit même à un résultat contraire à celui souhaité par la présente demande puisque selon D1, lors de la lecture d'un mot de données, la mémoire d'inversion 14, la batterie de NOR exclusifs G_0 à G_7 et les inverseurs I_0 à I_7 ont pour rôle de délivrer en sortie O_0 à O_7 , un mot identique au mot qui vient d'être lu (voir D1, page 6, lignes 29 à 31 et page 7, ligne 6 à 9).

- d) Enfin, la Chambre observe que la figure 5, représentant la mémoire selon D1 prise particulièrement en considération par la Division d'examen, ne se distingue pas essentiellement des autres variantes selon les figures 3 et 4. Il est exact que chaque ligne de mot est connectée à la grille d'un transistor Q_i ou Q_H de la deuxième zone mémoire. Cependant, les transistors Q_H sont dotés, lors de leur fabrication, d'un seuil fortement supérieur ("considerably higher") au seuil de tous les autres transistors Q_1 , Q_0 et Q_i , de façon que ces transistors Q_H ne puissent jamais conduire lors de l'adressage d'une ligne de mots. Il en résulte que les transistors Q_H sont assimilables à des résistances de très hautes valeurs qui ne perturbent pas la commande des lignes de mots WL_0 , WL_1 , WL_3 , WL_4 et WL_7 lors de l'adressage. Par conséquent, du point

de vue du fonctionnement, la variante selon la figure 5 de D1 est identique à la variante selon la figure 4 de ce document.

2.2.3 En conclusion, l'enseignement de D1 ne fournit à l'homme du métier ni divulgations ni suggestions quant à la possibilité et la manière de réaliser une mémoire morte protégée en lecture. Les structures de mémoire divulguées par ce document ne mettent pas en doute l'activité inventive de l'objet de la revendication 1. Aucun autre document de l'art antérieur n'a été cité par la Division d'examen. Tous les documents mentionnés dans le rapport de recherche européenne sont de catégorie "A", c'est-à-dire qu'ils font partie de l'arrière-plan technologique.

Il en résulte que la requête principale est admissible et qu'un brevet peut être délivré avec les documents de la demande présentés dans cette requête.

3. *Requête auxiliaire*

Puisque la requête principale est admissible, il n'est pas nécessaire d'examiner la requête auxiliaire.

4. *Remboursement de la taxe de recours*

4.1 En évoquant la décision de rejet de la demande, le requérant a émis l'opinion que "l'ensemble des motifs et fondements de la décision a été présenté pour la première fois dans la décision de rejet" et qu'une "telle pratique constitue une contravention aux dispositions de l'article 113(1) CBE, le titulaire n'ayant jamais pu prendre position sur de tels motifs".

4.2 Dans sa première notification datée du 16 décembre 1996, la Division d'examen a informé le demandeur (maintenant requérant) que l'objet des revendications 1 et 2 telles que déposées n'était pas nouveau par rapport à la mémoire selon la figure 4 de D1.

La revendication 1, refusée par la Division d'examen, a été soumise à cette dernière avec la lettre datée du 10 juin 1997, dans laquelle le requérant déclare (page 2, avant-dernier paragraphe) : "Une nouvelle revendication 1 est présentée, laquelle correspond aux revendications initiales 1 et 2 regroupées". Dans sa deuxième notification datée du 27 juin 1997 la Division d'examen a fait savoir que l'objet de cette nouvelle revendication 1 n'était pas nouveau par rapport à D1, ce qui était parfaitement logique par rapport aux objections élevées dans la première notification selon lesquelles l'objet des revendications 1 et 2 telles que déposées n'était pas nouveau.

Par conséquent, le requérant a été informé plus de 6 mois avant la date de rejet de la demande que l'objet de la revendication 1 finalement refusée n'était pas nouveau par rapport à D1.

4.3 L'objection du requérant selon laquelle les transistors Q_H de la deuxième zone de mémoire selon D1 ont des seuils beaucoup plus élevés que les transistors de la première zone a été prise en considération et réfutée par la Division d'examen dans la deuxième notification datée du 27 juin 1997 (voir paragraphe 1, page 2). Le requérant a exprimé son désaccord sur cette réfutation dans sa réponse datée du 14 novembre 1997, donc a pu prendre position sur les motifs de cette réfutation.

4.4 Le fait que le texte des revendications, sur la base desquelles la Division d'examen a rejeté la demande, ne figurait pas dans la décision de rejet, ne constitue

- ni une infraction à la règle 68(1) CBE,
- ni un manquement aux dispositions établies par les Directives relatives à l'examen pratiqué à l'Office européen des brevets puisque les documents, notamment les revendications, sur lesquels est fondée la décision de rejet sont clairement mentionnés au paragraphe 5 de la partie I de cette décision.

Dans la décision attaquée, la Division d'examen a clairement et suffisamment motivé les raisons du rejet pour manque de nouveauté. Le fait que le rejet ait été fondé sur un manque de nouveauté plutôt que sur un manque d'activité inventive ne saurait donc impliquer que cette décision n'était pas motivée et devrait être révoquée pour absence de motifs, comme le prétend le requérant en page 10 des motifs de recours.

4.5 En conclusion, la Division d'examen n'a commis aucune violation constituant un vice substantiel de procédure. Par conséquent, le remboursement de la taxe de recours ne serait pas équitable et doit donc être refusé.

Dispositif

Par ces motifs, il est statué comme suit :

1. La décision attaquée est annulée.
2. L'affaire est renvoyée à la première instance afin de délivrer un brevet dans la version suivante :

Revendications :

N° 1 à 8, soumises avec la lettre du 10 juin 1997.

Description :

Pages 1 et 3 à 10, telles que déposées ; page 2, soumise avec la lettre du 10 juin 1997 ; page 2a, soumise avec la lettre du 14 novembre 1997.

Dessins :

Feuilles 1/6 à 6/6, telles que déposées.

3. La requête en remboursement de la taxe de recours est rejetée.

Le Greffier :



M. Hörnell

Le Président :



W. J. L. Wheeler