

Code de distribution interne :

- (A) [] Publication au JO
(B) [] Aux Présidents et Membres
(C) [X] Aux Présidents

D E C I S I O N
du 7 avril 2000

N° du recours : T 0305/98 - 3.5.2

N° de la demande : 95402135.8

N° de la publication : 0703671

C.I.B. : H03K 19/0185

Langue de la procédure : FR

Titre de l'invention :

Dispositif d'interfaçage de signaux logiques du niveau BTL au niveau TTL et CMOS

Demandeur :

MATRA MHS

Opposant :

-

Référence :

-

Normes juridiques appliquées :

CBE Art. 56, 113(1)

CBE R. 67

Mot-clé :

"Activité inventive (oui, après modifications)"

"Remboursement de la taxe de recours (refusé)"

Décisions citées :

-

Exergue :

-



Europäisches Patentamt	European Patent Office	Office européen des brevets
Beschwerdekammern	Boards of Appeal	Chambres de recours

N° du recours : T 0305/98 - 3.5.2

D E C I S I O N
de la Chambre de recours technique 3.5.2
du 7 avril 2000

Requérant : MATRA MHS
La Chantrerie
Route de Gachet CP 3008
F - 44087 Nantes Cédex 03 (FR)

Mandataire : Fréchède, Michel
Cabinet Plasseraud
84, rue d'Amsterdam
F - 75440 Paris Cédex 09 (FR)

Décision attaquée : Décision de la division d'examen de l'Office européen des brevets signifiée par voie postale le 28 novembre 1997 par laquelle la demande de brevet n° 95 402 135.8 a été rejetée conformément aux dispositions de l'article 97(1) CBE.

Composition de la Chambre :

Président : W. J. L. Wheeler
Membres : M. R. J. Villemin
B. J. Schachenmann

Exposé des faits et conclusions

I. Le requérant a formé le recours contre la décision de la Division d'examen rejetant la demande de brevet européen nE 95 402 135.8 pour le motif que l'objet de la revendication 1 n'impliquait pas d'activité inventive par rapport au document :

D1 : EP-A-0 595 318.

II. A la suite d'observations de la Chambre, le requérant a demandé à titre de requête unique, avec sa lettre du 16 mars 2000, qu'un brevet soit délivré sur la base de la requête auxiliaire soumise avec le mémoire de recours et a produit des pages modifiées de la description ainsi qu'une figure 1 amendée.

III. Le texte de la revendication 1 est le suivant :

"Dispositif d'interfaçage de signaux logiques du niveau BTL au niveau TTL et CMOS, caractérisé en ce qu'il comprend, alimentés par une tension d'alimentation au niveau TTL par rapport à une tension de référence, et connectés en cascade :

- un premier amplificateur-inverseur (1), constitué par un amplificateur d'entrée à contre-réaction, présentant une auto-compensation assurant un gain constant en fréquence, ce premier amplificateur inverseur recevant sur une entrée ledit signal logique au niveau BTL et délivrant un premier signal logique inversé, d'amplitude intermédiaire,
- un deuxième amplificateur-inverseur (2), recevant

ledit premier signal logique inversé d'amplitude intermédiaire et délivrant un deuxième signal logique d'amplitude intermédiaire amplifiée,

- un circuit (3) de mise en forme, recevant ledit deuxième signal logique d'amplitude intermédiaire amplifiée et délivrant un signal logique inversé au niveau TTL,
- un circuit (4) inverseur-amplificateur de puissance recevant ledit signal logique inversé au niveau TTL et délivrant un signal logique amplifié au niveau TTL."

Les revendications 2 à 7 dépendent de la revendication 1.

IV. Le requérant a soumis les arguments suivants :

- a) La revendication 1 mentionnait que le premier amplificateur-inverseur présentait la caractéristique d'être constitué par un amplificateur d'entrée à contre-réaction, présentant une auto-compensation assurant un gain constant en fréquence. Cette caractéristique était supportée par la description de la demande initialement déposée et se distinguait clairement de l'amplificateur inverseur 1 de l'amplificateur différentiel du document D1, lequel amplificateur, en raison de la faiblesse de l'amplitude du signal R, était instable du fait qu'il devait présenter un gain important.
- b) L'introduction d'un motif de rejet implicite au titre de l'article 84 CBE, effectuée pour la première fois

dans la décision de rejet de la demande, ne correspondait pas à une conduite rationnelle de la procédure d'examen. L'introduction irrégulière de ce motif contrevenait manifestement aux dispositions de l'article 113(1) CBE et constituait un vice substantiel de procédure du fait que le titulaire n'avait pas pu prendre position sur cette objection de manque de clarté.

V. Le requérant a demandé :

- 1) Le remboursement de la taxe de recours.
- 2) L'annulation de la décision attaquée et la délivrance d'un brevet sur la base des documents suivants :

Revendications : n° 1 soumise avec le mémoire de recours daté du 17 mars 1998 ; n° 2 à 7, soumises à la Division d'examen avec la lettre du 21 mai 1997.

Description : pages 1, 3, 4, 9, 11 à 13, telles que déposées ; pages 5, 7 et 8, 8a, 10, soumises à la Division d'examen avec la lettre du 21 mai 1997 ; pages 2, 2a et 6, soumises à la Chambre avec la lettre du 16 mars 2000.

Figures : figure 1, soumise à la Chambre avec la lettre du 16 mars 2000 ; figure 2, telle que déposée.

Motifs de la décision

1. Le recours est recevable.

2. *Admissibilité des amendements*

Les revendications se fondent sur la demande telle que déposée. Les amendements dans les pages 2, 2a et 6 ont été effectués pour indiquer l'état de la technique selon D1 et pour adapter la description aux revendications ou pour corriger des erreurs matérielles évidentes. La figure 1 a subi un amendement mineur pour être conforme à la description. La Chambre n'a pas d'objections à formuler au titre de l'article 123(2) CBE.

3. *Nouveauté*

3.1 La figure 2 du document D1 représente un dispositif d'interfaçage de signaux logiques comprenant, alimentés par une tension d'alimentation au niveau de sortie V_{CC} par rapport à une tension de référence, et connectés en cascade :

- un premier amplificateur-inverseur 10, recevant sur une entrée un signal logique R de faible amplitude (voir figure 1B) et délivrant un premier signal logique inversé,
- un deuxième amplificateur-inverseur 15, recevant ledit premier signal logique inversé et délivrant un deuxième signal logique A,
- un circuit 21 de mise en forme, recevant ledit deuxième signal logique A et délivrant un signal logique inversé B au niveau de sortie TTL et MOS,
- un circuit 22 inverseur-amplificateur de puissance recevant ledit signal logique inversé B et délivrant

un signal logique C au niveau de sortie TTL et CMOS.

3.2 La revendication 1 de la présente demande n'exclut pas l'utilisation d'une tension de seuil R_0 du type de celle utilisée dans le dispositif divulgué par D1 et par le choix approprié de la valeur de laquelle l'homme du métier pourrait traiter des signaux logiques d'entrée de faibles amplitudes du type employé pour les circuits BTL (voir figure 1B de D1). Toutefois, en contraste avec le circuit revendiqué, une contre-réaction dans l'étage d'entrée n'est ni prévue ni suggérée dans D1.

3.3 Le document D1 cité au cours de la procédure d'examen ne décrivant pas un dispositif d'interfaçage de signaux logiques comportant l'ensemble des caractéristiques revendiquées, l'objet de la revendication 1 est nouveau au sens de l'article 54 CBE.

4. *Activité inventive*

4.1 Par rapport au circuit divulgué par D1, le problème devant être résolu par l'objet de la revendication 1 est la réalisation d'un dispositif d'interfaçage de signaux logiques du niveau BTL au niveau TTL et CMOS présentant une stabilité accrue, notamment vis-à-vis des variations de température, de la tension d'alimentation et du processus de fabrication (voir page 8 de la demande déposée, lignes 21 à 26).

4.2 D1 mentionne qu'un premier problème se pose dans le cas des circuits logiques de l'art antérieur lorsque ceux-ci comportent un étage d'entrée constitué par un amplificateur différentiel délivrant son signal de sortie à un inverseur CMOS conventionnel fonctionnant en

étage tampon. Ce problème est lié au fait que le signal délivré par l'amplificateur différentiel a une amplitude logique différente de la tension d'alimentation, si bien que la consommation d'énergie dans cet étage CMOS tampon conventionnel n'est plus réduite à zéro en régime de repos ("steady period", voir D1, colonne 1, lignes 7 à 27). D1 mentionne également qu'une solution partielle à ce premier problème a été apportée par l'art antérieur en insérant un amplificateur différentiel supplémentaire 15 entre l'amplificateur différentiel 10 d'entrée et le circuit inverseur CMOS tampon 20 (voir figure 2). Selon D1, l'emploi de deux amplificateurs 10 et 15 ne conduit toutefois pas à une réduction suffisante de la consommation d'énergie et donne naissance à un second problème, à savoir une diminution de la vitesse de traitement des signaux par ces deux amplificateurs (voir D1, colonne 2, lignes 29 à 42).

4.3 Le problème pris en considération dans D1 est donc double : réaliser un amplificateur à la fois rapide et de consommation réduite. La solution de ce problème est apportée par la mise en oeuvre de plusieurs variantes de circuits tampons spécialement conçus (100, 101 et 102 selon les figures 3A, 4 et 5A, respectivement) en remplacement de celui 20 (voir figure 2) conforme à l'art antérieur.

4.4 Pour les raisons qui suivent, la Chambre est d'avis que l'homme du métier n'envisagerait pas d'établir une contre-réaction dans les variantes de circuits connus de D1 :

a) Les problèmes techniques considérés dans D1 et la solution qui leur est apportée n'ont rien à voir avec

ceux selon la présente demande. D1 ne prévoit ni ne suggère une contre réaction, en particulier une contre-réaction dans le premier amplificateur-inverseur 10 selon la figure 1A de l'art antérieur.

- b) La possibilité d'une telle contre-réaction paraît spéculative et techniquement délicate, donc peu envisageable, dans le cas du circuit selon la figure 2 de D1 du fait que celui-ci comporte deux amplificateurs différentiels d'entrée 10 et 15. S'il se réfère aux explications données dans D1 en ce qui concerne le remplacement du circuit tampon 20 selon l'art antérieur par l'un des circuits tampons 100, 101 ou 102 suggérés dans D1, l'homme du métier constate qu'une contre-réaction conforme à celle indiquée dans la revendication 1, c'est-à-dire effectuée dans le premier amplificateur-inverseur 10, pourrait entraîner non seulement des modifications des tensions de polarisation conduisant à une augmentation de la consommation d'énergie, mais aussi une diminution de la vitesse de traitement des signaux logiques traités par les amplificateurs-inverseurs 10 et 15, ce qui produirait des effets inverses de ceux souhaités pour résoudre de façon satisfaisante les problèmes évoqués dans D1.
- c) Il est enfin observé que les techniciens ayant conçu les circuits divulgués dans D1 ont concentré uniquement leurs efforts et leur savoir-faire à la réalisation de circuits tampons 100, 101, 102, selon les figures respectives 3A, 4 et 5A, spécialement mis au point pour accroître la rapidité d'un amplificateur de signaux logiques (voir D1, colonne 4, lignes 46 à 55) et non pas à la

réalisation d'un dispositif d'interfaçage de signaux logiques du niveau BTL au niveau TTL et CMOS. Dans ces conditions, il ne va pas de soi que l'homme du métier aurait pris spontanément en considération l'enseignement de D1 au vu du type de circuit "Buffer circuit for input signal having amplitude smaller than power voltage" sur lequel il est orienté et compte tenu de la différence des problèmes qui sont à résoudre selon l'invention et selon D1.

- 4.5 En conclusion, la Chambre est d'avis que l'objet de la revendication 1 présente une activité inventive au sens de l'article 56 CBE par rapport à l'art antérieur selon D1.
- 4.6 Le document D2, mentionné dans la décision de rejet, n'a fait l'objet d'aucun commentaire dans cette décision. La Chambre a vérifié qu'il ne met pas en doute la brevetabilité de l'objet de la revendication 1.
5. *Remboursement de la taxe de recours*

Le requérant a allégué dans les motifs de recours (page 9, dernier paragraphe ; page 10, paragraphe II.1) que la décision de la division d'examen aurait introduit un "motif de rejet implicite au titre de l'article 84 CBE pour la première fois", et sur lequel le titulaire n'aurait pas pu prendre position. Cependant, la Chambre n'a pu relever dans cette décision que des objections fondées sur un manque d'activité inventive selon les articles 52(1) et 56 CBE, pour les raisons exposées dans les notifications et la décision de rejet de la Division d'examen. Aucune objection explicite ou implicite visant un manque de clarté selon

l'article 84 CBE n'a pu être décelée.

Par conséquent, le requérant n'a pas été lésé par une décision de rejet fondée sur des motifs au sujet desquels il n'a pas pu prendre position. La décision de rejet émise par la Division d'examen n'enfreint aucune des dispositions de la CBE, en particulier celles des articles 113(1) et 96(2) CBE et n'est pas entachée d'un vice substantiel de procédure. Le remboursement de la taxe de recours ne serait pas équitable et doit donc être refusé.

Dispositif

Par ces motifs, il est statué comme suit :

1. La décision attaquée est annulée.
2. L'affaire est renvoyée l'instance du premier degré avec l'ordre de délivrer un brevet dans la version suivante, conformément à la requête du requérant (voir partie V ci-dessus) :

Revendications : n° 1 soumise avec le mémoire de recours daté du 17 mars 1998 ; n° 2 à 7, soumises à la Division d'examen avec la lettre du 21 mai 1997.

Description : pages 1, 3, 4, 9, 11 à 13, telles que déposées ; pages 5, 7 et 8, 8a, 10, soumises à la Division d'examen avec la lettre du 21 mai 1997 ; pages 2, 2a et 6, soumises à la Chambre avec la lettre du 16 mars 2000.

Figures : figure 1, soumise à la Chambre avec la lettre du 16 mars 2000 ; figure 2, telle que déposée.

3. La requête en remboursement de la taxe de recours est rejetée.

Le Greffier :

Le Président :

M. Hörnell

W. J. L. Wheeler