

Interner Verteilerschlüssel:

- (A) Veröffentlichung im ABl.
(B) An Vorsitzende und Mitglieder
(C) An Vorsitzende
(D) Keine Verteilung

**Datenblatt zur Entscheidung
vom 26. Mai 2010**

Beschwerde-Aktenzeichen: T 0817/07 - 3.5.02

Anmeldenummer: 04709233.3

Veröffentlichungsnummer: 1602174

IPC: H03L 7/085

Verfahrenssprache: DE

Bezeichnung der Erfindung:

Phasen-/Frequenzregelkreis und Phasen-/Frequenz-Komparator
hierfür

Anmelder:

Rohde & Schwarz GmbH & Co. KG

Stichwort:

-

Relevante Rechtsnormen:

EPÜ Art. 56, 113, 123(2)
EPÜ R. 103(1)a

Relevante Rechtsnormen (EPÜ 1973):

-

Schlagwort:

"Verletzung des Anspruchs auf rechtliches Gehör (nein)"
"Unzulässige Erweiterung - Hauptantrag und Hilfsanträge
I - VII (ja)"
"Erfinderische Tätigkeit - Hilfsanträge VIII bis XV (nein)"
"Zulässigkeit eines verspätet eingereichten Antrags (nein)"
"Rückzahlung der Beschwerdegebühr (nein)"

Zitierte Entscheidungen:

-

Orientierungssatz:

-



Aktenzeichen: T 0817/07 - 3.5.02

ENTSCHEIDUNG
der Technischen Beschwerdekammer 3.5.02
vom 26. Mai 2010

Beschwerdeführerin:

Rohde & Schwarz GmbH & Co. KG
Mühldorfstrasse 15
D-81671 München (DE)

Vertreter:

Körfer, Thomas
Mitscherlich & Partner
Patent- und Rechtsanwälte
Postfach 33 06 09
D-80066 München (DE)

Angefochtene Entscheidung:

Entscheidung der Prüfungsabteilung des
Europäischen Patentamts, die am 2. Januar 2007
zur Post gegeben wurde und mit der die
europäische Patentanmeldung Nr. 04709233.3
aufgrund des Artikels 97 (1) EPÜ 1973
zurückgewiesen worden ist.

Zusammensetzung der Kammer:

Vorsitzender: M. Ruggiu
Mitglieder: M. Rognoni
H. Preglau

Sachverhalt und Anträge

- I. Die Beschwerde der Anmelderin richtet sich gegen die Entscheidung der Prüfungsabteilung, die Patentanmeldung Nr. 04 709 233.3 zurückzuweisen.
- II. In der angefochtenen Entscheidung kam die Prüfungsabteilung zu dem Schluss, dass der Gegenstand des Hauptantrages und der Hilfsanträge VII, VIII und XV die Erfordernisse des Artikels 56 EPÜ nicht erfülle. Als Stand der Technik wurden folgende Dokumente berücksichtigt:

D1: EP-A-0 283 275

D5: U. Tietze, Ch. Schenk: "Halbleiter-Schaltungstechnik", Springer Verlag 1991, 9. Auflage, Kapitel 9.1, Seiten 192 und 193.

Ferner hielt die Prüfungsabteilung die Hilfsanträge I bis VI für nicht gewährbar, da die jeweils dazugehörige Patentanmeldung so geändert worden sei, dass ihr Gegenstand über den Inhalt der Anmeldung in der ursprünglich eingereichten Fassung hinausgehe. Die Hilfsanträge IX bis XIV wurden in das Verfahren nicht zugelassen

In den der angefochtenen Entscheidung beigefügten "zusätzlichen Bemerkungen" stellte die Prüfungsabteilung außerdem fest, dass das Merkmal "*dass die beiden flankengetriggerten Speicherglieder einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen*" über den Inhalt der ursprünglich eingereichten Fassung hinausgehe.

III. In der Beschwerdebegründung wies die Beschwerdeführerin u. a. auf eine vermeintliche Verletzung ihres Anspruchs auf rechtliches Gehör durch die Prüfungsabteilung hin (Artikel 113 EPÜ).

IV. In einem der Ladung zur mündlichen Verhandlung beigefügten Bescheid vom 25. Februar 2010 wurde der Beschwerdeführerin u. a. mitgeteilt, dass die Kammer in der von der ersten Instanz durchgeführten Prüfung der vorliegenden Anmeldung keine wesentlichen Verfahrensfehler zu erkennen vermöge.

Außerdem äußerte die Kammer ihre Bedenken über die erfinderische Tätigkeit der beanspruchten Gegenstände. Dabei bezog sie sich zusätzlich auf folgenden Stand der Technik:

D6: "Philips Lehrbriefe, Elektrotechnik und Elektronik", Philips GmbH - Hamburg, 1976, Band 2, Seiten 310 bis 313.

V. In einem Schreiben vom 8. März 2010 beantragte die Beschwerdeführerin, in der mündlichen Verhandlung neben den Ausführungen des zugelassenen Vertreters auch die Ausführungen eines technischen Sachverständigen, Herrn Dipl.- Ing. Frank Schnürer, zuzulassen.

Ferner wurde beantragt, Herrn Frank Schnürer gegebenenfalls in der Frage der Rückzahlung der Beschwerdegebühr wegen Verletzung des rechtlichen Gehörs als Zeugen zu vernehmen.

VI. Am 26. Mai 2010 fand eine mündliche Verhandlung vor der Kammer statt.

Zuerst wurde die Beteiligung von Herrn Schnürer an der mündlichen Verhandlung erörtert. Auf die Frage, welchen Antrag bezüglich Herrn Schnürer sie aufrechterhalten wolle, antwortete die Beschwerdeführerin, dass Herr Schnürer als Zeuge genannt bleibe. Daraufhin verließ Herr Schnürer den Verhandlungssaal und nahm am übrigen Verlauf der mündlichen Verhandlung nicht mehr teil.

VII. Die Beschwerdeführerin beantragte, die angefochtene Entscheidung aufzuheben und ein Patent auf der Basis der Ansprüche 1 bis 6, eingereicht mit Schreiben vom 15. April 2005 (Hauptantrag), hilfsweise auf der Basis der Ansprüche 1 bis 5, eingereicht mit Schreiben vom 15. April 2005 (Hilfsantrag I), weiter hilfsweise auf der Basis einer der Anspruchsätze für die Hilfsanträge II bis VII, eingereicht mit Schreiben vom 21. August 2006 (Hilfsanträge II bis VII), noch weiter hilfsweise auf der Basis von einem der acht Anspruchsätze, eingereicht in der mündlichen Verhandlung am 26. Mai 2010 (Hilfsanträge VIII bis XV), zu erteilen.

Die Beschwerdeführerin beantragte auch, die Beschwerdegebühr zurückzuzahlen.

Nachdem die Kammer der Beschwerdeführerin ihre Auffassung mitgeteilt hatte, dass weder der Hauptantrag noch die Hilfsanträge I bis XV gewährbar waren, reichte die Beschwerdeführerin Ansprüche ("neue Ansprüche") eines weiteren Antrages ein. Dieser weitere Antrag wurde von der Kammer ins Verfahren nicht zugelassen.

VIII. Anspruch 1 gemäß dem Hauptantrag lautet wie folgt:

"Phasen-/Frequenzregelkreis (1) mit einem Phasen-/Frequenzkomparator (8) und einem Frequenzoszillator (10), wobei der Phasen-/Frequenzkomparator (8) zwei flankengetriggerte Speicherglieder (13, 14) aufweist, die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (4) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13,14) gespeist sind,

dadurch gekennzeichnet,

dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind,

dass die Rücksetzlogik-Einheit (15) mittels eines asynchronen pegelgetriggerten RS-Speichergliedes (17) mit inverser Logik realisiert ist, wobei der Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes (17) vom Ausgangssignal eines ODER-Gatters (21) gespeist wird und

dass die beiden flankengetriggerten Speicherglieder (13,14) einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen."

Ansprüche 2 bis 5 sind abhängig von Anspruch 1.

Anspruch 6 betrifft einen "Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) " und umfasst alle in Anspruch 1 aufgeführten Merkmale.

Hilfsantrag I umfasst Ansprüche 1 bis 5 des Hauptantrages.

Hilfsantrag II unterscheidet sich vom Hauptantrag dadurch, dass das zweite Merkmal im kennzeichnenden Teil der Ansprüche 1 und 6 wie folgt lautet:

"dass in der Rücksetzlogik-Einheit (15) ein asynchrones pegelgetriggertes RS-Speicherglied (24) verwendet ist, das eine nicht-inverse Logik aufweist".

Hilfsantrag III umfasst Ansprüche 1 bis 5 des Hilfsantrags II.

Hilfsantrag IV unterscheidet sich vom Hilfsantrag II dadurch, dass Ansprüche 1 und 6 folgende zusätzliche Merkmale aufweisen:

"dass an den Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes (24) das Ausgangssignal (27) eines invertierten ODER-Gatters (28) geführt ist und dass die beiden Eingänge des invertierten ODER-Gatters (28) von den beiden Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind."

Hilfsantrag V umfasst Ansprüche 1 bis 5 des Hilfsantrags IV.

Hilfsantrag VI unterscheidet sich vom Hilfsantrag IV dadurch, dass Ansprüche 1 und 6 folgende zusätzliche Merkmale enthalten:

"dass der Setzzeitpunkt des asynchronen pegelgetriggerten RS-Speichergliedes (24) vom Ausgangssignal (25) eines UND-Gatters (26) gespeist ist und dass an die Eingänge des UND-Gatters (26) die Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13,14) geführt sind".

Hilfsantrag VII umfasst Ansprüche 1 bis 5 des Hilfsantrags VI.

Hilfsanträge VIII bis XV unterscheiden sich vom Hauptantrag und den Hilfsanträgen I bis VII durch folgendes Merkmal der jeweiligen Ansprüche 1 und 6:

"dass von den beiden flankengetriggerten Speichergliedern (13,14) einzig jeweils ein Ausgang mit nicht-invertierter Logik verwendet wird",

wobei dieses Merkmal folgenden Wortlaut ersetzt:

"dass die beiden flankengetriggerten Speicherglieder (13,14) einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen".

IX. Die für diese Entscheidung relevanten Argumente der Beschwerdeführerin lassen sich wie folgt zusammenfassen:

Das Verfahren vor der Prüfungsabteilung leide an zwei wesentlichen Verfahrensmängeln.

Zu den rechtzeitig vor der mündlichen Verhandlung vor der Prüfungsabteilung eingereichten Hilfsanträgen I bis VI, die allein wegen eines angeblichen Verstoßes gegen Artikel 123 (2) EPÜ zurückgewiesen wurden, habe sich die Anmelderin nicht mehr äußern können. Da die Hilfsanträge IX bis XIV, die sich von den Hilfsanträgen I bis VI lediglich dadurch unterscheiden, dass eine die Würdigung des Standes der Technik betreffende und von der Prüfungsabteilung beanstandete Passage der Beschreibung gestrichen wurde, in das Verfahren nicht zugelassen wurden, sei der Versuch der Anmelderin, dem Einwand unter Artikel 123 (2) EPÜ zu begegnen, nicht berücksichtigt worden. Die Prüfungsabteilung habe somit bei der Nichtzulassung der Hilfsanträge IX bis XIV ihr Ermessen nicht richtig ausgeübt und dadurch der Anmelderin das rechtliche Gehör nach Artikel 113 EPÜ in der mündlichen Verhandlung abgeschnitten. Ferner habe die Prüfungsabteilung ihre Begründung auch auf einen weiteren angeblichen Verstoß gegen Artikel 123 (2) EPÜ gestützt. Da die Prüfungsabteilung diesen neuen Einwand weder im schriftlichen Verfahren noch in der mündlichen Verhandlung vorgebracht, sondern erst in der angefochtenen Entscheidung erhoben habe, habe die Anmelderin keine Gelegenheit gehabt, sich dazu zu äußern. Damit sei der Anmelderin auch für diesen Einwand das rechtliche Gehör nach Artikel 113 EPÜ versagt geblieben.

Die angeblich unzulässige Erweiterung der ursprünglichen Offenbarung durch das Merkmal "*dass die beiden flankengetriggerten Speicherglieder einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen*" treffe nicht zu, da der Figur 3 der ursprünglich eingereichten Anmeldungsunterlagen eindeutig und unmittelbar zu entnehmen sei, dass die zwei flankengetriggerten

Speicherglieder 13 und 14 jeweils einen einzigen Ausgang Q mit nicht-invertierter Logik aufweisen. Eine nur schematische Darstellung des Prinzips des Gegenstandes liege nicht vor, da die Speicherglieder 13 und 14 jeweils in normierter Symboldarstellung gezeichnet seien. Diese Darstellung der Speicherglieder 13 und 14 mit jeweils einem einzigen Ausgang Q in Figur 3 könne somit als Stütze für das in den Anspruch 1 aufgenommene Merkmal angesehen werden. Somit liege keine Verletzung von Artikel 123 (2) EPÜ vor.

Die Rücksetzlogik der Figur 6 des nächstkommenden Standes der Technik gemäß D1 unterscheide sich vom Gegenstand des Anspruchs 1 des Hauptantrages und der Hilfsanträge I, VII und IX durch die im kennzeichnenden Teil aufgeführten Merkmale.

Wie dem Merkmal, dass das Ausgangssignal der Rücksetzlogik-Einheit erst dann aktiviert ist, wenn beide Ausgangssignale der beiden flankengetriggerten Speicherglieder aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale der beiden flankengetriggerten Speicherglieder deaktiviert sind, zu entnehmen sei, werde die Rücksetzlogik des erfindungsgemäßen Phasen-/Frequenzkomparators erst aktiviert, wenn beide flankengetriggerten Speicherglieder 13 und 14 den logischen Zustand "1" angenommen haben. Mit anderen Worten diene die Rücksetzlogik dazu, einen Zustand zu verhindern, der ein gleichzeitiges Hoch- und Herunterregeln des Oszillators 10 bewirken würde. Hingegen befasse sich D1 mit der Aufgabe, den sogenannten "Blindsektor" (siehe Figur 3) zu vermeiden, der durch den logischen Zustand "0" der Ausgänge O_A und O_B des Phasenkomparators gemäß Figur 1 von D1 verursacht wird. Entsprechend dieser

Aufgabenstellung diene die Rücksetzlogik gemäß Figur 6 von D1 dazu, den logischen Zustand "00" bei den nicht-invertierten Ausgängen der Speicherglieder 1 und 2 zu unterbinden.

Die Ansteuerung der Rücksetzlogik gemäß D1 verwende sowohl die nicht-invertierten als auch die invertierten Ausgänge O_A , O_B und O_a , O_b der D-Flip-Flops. Die zwei zusätzlichen Leitungen, die zur Verbindung der invertierten Ausgänge mit der Rücksetzlogik erforderlich sind und die aufgrund der Platzierung der einzelnen Logikbausteine unterschiedliche Längen aufweisen, trügen zu den nachteiligen Laufzeit-Effekten bei, die vor allem den Betrieb asynchroner flankengetriggelter Speicherglieder stören und ein zuverlässiges Beenden des unzulässigen Zustands des Phasen-Frequenzkomparators hindern. Dadurch, dass von den beiden Speichergliedern des erfindungsgemäßen Phasen-Frequenzkomparators einzig jeweils ein Ausgang verwendet wird, könnten die wegen unterschiedlicher Signallaufzeiten auftretenden Störungen reduziert werden.

Da keines der vorliegenden Dokumente zum Stand der Technik sich mit dem Problem der Laufzeit-Effekte beim Betrieb eines Phasen-/Frequenzkomparators befasste, hätte der Fachmann keinen Anlass gehabt, die Anzahl der verwendeten Ausgänge der flankengetriggerten Speicherglieder zu reduzieren, zumal diese Maßnahme eine grundlegende Änderung bei der Ansteuerung des Rücksetzeinganges des pegelgetriggerten RS-Flip-Flops gemäß Figur 6 von D1 erfordert hätte.

Aus den dargelegten Argumenten beruhe der Gegenstand von Anspruch 1 gemäß dem Hauptantrag und den Hilfsanträgen I, VIII und IX auf einer erfinderischen Tätigkeit.

Gegenüber der Rücksetzlogik der Figur 6 umfasse Anspruch 1 der Hilfsanträge II, III, X und XI zusätzlich das Unterscheidungsmerkmal, dass die Rücksetzlogik-Einheit mittels eines asynchronen pegelgetriggerten RS-Speichergliedes mit nicht-inverser Logik realisiert ist. Ein solches RS-Speicherglied bestehe aus zwei ODER-Gattern mit invertierten Ausgängen, die aufgrund ihres Aufbaus kürzere Schaltzeiten als NAND-Gatter haben und somit eine schnellere Aktivierung der Rücksetzlogik bewirken. Ausgehend von D1 hätte der Fachmann keine Veranlassung gehabt, die im Stand der Technik verwendete Rücksetzlogik mit inverser Logik durch ein RS-Speicherglied mit nicht-inverser Logik auszutauschen. Aus den dargelegten Argumenten beruhe der Gegenstand von Anspruch 1 gemäß den Hilfsanträgen II, III, X und XI auf einer erfinderischen Tätigkeit.

Gegenüber der Rücksetzlogik der Figur 6 umfasse Anspruch 1 der Hilfsanträge IV, V, XII und XIII zusätzlich die Unterscheidungsmerkmale, dass an den Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes das Ausgangssignal eines invertierten ODER-Gatters geführt ist und dass die beiden Eingänge des invertierten ODER-Gatters von den beiden Ausgangssignalen der flankengetriggerten Speicherglieder gespeist sind.

Im Vergleich zu der in Figur 6 von D1 dargestellten Rücksetzlogik biete der beanspruchte Phasen-/Frequenzkomparator den zusätzlichen Vorteil eines schnelleren Schaltens aufgrund der Tatsache, dass lediglich die Ausgänge von ODER-Gattern zu invertieren sind und dass ODER-Gatter grundsätzlich schneller als UND-Gatter schalten können. In Ermangelung eines entsprechenden Hinweises im Stand der Technik sehe sich

der Fachmann nicht veranlasst, den Rücksetz-Eingang des aus NOR-Gattern bestehenden pegelgetriggerten RS-Speichergliedes mit nicht-inverser Logik mit dem Ausgangssignal eines invertierten ODER-Gatters zu beaufschlagen.

Aus den dargelegten Argumenten beruhe der Gegenstand von Anspruch 1 gemäß den Hilfsanträgen IV, V, XII und XIII auf einer erfinderischen Tätigkeit.

Gegenüber der Rücksetzlogik der Figur 6 umfasse Anspruch 1 der Hilfsanträge VI, VII, XIV und XV zusätzlich die Unterscheidungsmerkmale, dass der Setz-Eingang des asynchronen pegelgetriggerten RS-Speichergliedes vom Ausgangssignal eines UND-Gatters gespeist ist und dass an die beiden Eingänge des UND-Gatters die Ausgangssignale der beiden flankengetriggerten Speicherglieder geführt sind. Durch die beanspruchte Merkmalskombination werde die Rücksetzlogik eines Phasen-/Frequenzkomparators dadurch optimiert, dass nur zwei Signalleitungen für die Ansteuerung der Rücksetzlogik verwendet und lediglich die Ausgänge der ODER-Gatter invertiert werden. Eine solche Kombination unterschiedlicher logischer Bausteine sei für den Fachmann auch deswegen nicht naheliegend, weil sie die für die Integrierung in einem einzigen Baustein erforderliche Voraussetzung identischer Gatter-Bausteine nicht erfülle.

Somit ergebe sich, dass auch der Gegenstand des Anspruchs 1 gemäß den Hilfsanträgen VI, VII, XIV und XV auf einer erfinderischen Tätigkeit beruht.

Entscheidungsgründe

1. Die Beschwerde ist zulässig.

Artikel 113 EPÜ

2.1 In der angefochtenen Entscheidung stellte die Prüfungsabteilung u. a. fest, dass die Beschreibung der Patentanmeldung gemäß den Hilfsanträgen I bis VI gegen Artikel 123 (2) EPÜ verstoße.

2.2 Laut Beschwerdeführerin unterscheiden sich die Hilfsanträge IX bis XIV von den Hilfsanträgen I bis VI nur dadurch, dass bei der Würdigung des Standes der Technik eine von der Prüfungsabteilung in der mündlichen Verhandlung beanstandete Passage in der Beschreibungseinleitung gestrichen wurde. Da die Hilfsanträge IX bis XIV in das Verfahren nicht zugelassen wurden, sei der Versuch der Anmelderin, dem Einwand unter Artikel 123 (2) EPÜ zu begegnen, nicht berücksichtigt worden.

2.3 Die Unzulässigkeit der in der mündlichen Verhandlung eingereichten Hilfsanträge IX bis XIV wurde von der Prüfungsabteilung damit begründet, dass diese Anträge jeweils einen dem Anspruch 1 des Hauptantrags bzw. des Hilfsantrags VII entsprechenden Anspruch 1 umfassten. Da der Gegenstand von Anspruch 1 gemäß dem Hauptantrag oder dem Hilfsantrag VII keine erfinderische Tätigkeit aufweise, könne auch keiner der Hilfsanträge IX bis XIV Aussicht auf die Erfüllung der Erfordernisse des Artikels 56 EPÜ haben. Ferner habe die Anmelderin während des gesamten Verfahrens und insbesondere während

der mündlichen Verhandlung Gelegenheit gehabt, Anträge zu stellen und Argumente vorzutragen.

- 2.4 Nach Auffassung der Kammer hat die Prüfungsabteilung alle Gegenstände der von der Anmelderin eingereichten Anträge berücksichtigt und bei der Ausübung ihres Ermessens bezüglich der Zulässigkeit von verspätet eingereichten Anträgen keinen Verfahrensfehler begangen.
- 3.1 Die Beschwerdeführerin hat ferner geltend gemacht, dass sie keine Gelegenheit gehabt habe, sich zu dem erst in der angefochtenen Entscheidung vorgebrachten Einwand mangelnder Offenbarung eines Anspruchsmerkmals zu äußern. Damit sei der Anmelderin auch aus diesem Grund das rechtliche Gehör nach Artikel 113 EPÜ versagt geblieben.
- 3.2 Gemäß Artikel 113 EPÜ dürfen Entscheidungen des Europäischen Patentamtes nur auf Gründe gestützt werden, zu denen die Beteiligten sich äußern konnten.

Der Einwand der unzulässigen Erweiterung der Ansprüche durch ein nicht ursprünglich offenbartes Merkmal wurde in der angefochtenen Entscheidung nicht als Zurückweisungsgrund, sondern als "zusätzliche Bemerkung" angegeben. Die Tatsache, dass dieser Einwand der Anmelderin erst durch die Entscheidung über die Zurückweisung der Anmeldung bekannt gemacht wurde, stellt nach Auffassung der Kammer keine Verletzung des rechtlichen Gehörs gemäß Artikel 113 EPÜ und somit keinen wesentlichen Verfahrensfehler dar.

Artikel 123 (2) EPÜ

Hauptantrag

- 4.1 Das in den unabhängigen Ansprüchen 1 und 6 des Hauptantrages aufgeführte Merkmal, *"dass die beiden flankengetriggerten Speicherglieder (13, 14) einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen"*, ist in der Beschreibung der ursprünglich eingereichten Anmeldung nicht explizit offenbart.
- 4.2 Die Beschwerdeführerin hat die Auffassung vertreten, dass Figur 3 der Anmeldung, die eindeutig und unmittelbar zwei asynchrone RS-Speicherglieder 13 und 14 mit jeweils einem einzigen Ausgang Q mit nicht-invertierter Logik zeigt, als Stütze für das o. g. in den Anspruch aufgenommene Merkmal anzusehen sei.
- 4.3 Auf Seite 8, Zeilen 6 bis 14 der Beschreibung der veröffentlichten Anmeldung wird angegeben, dass Figur 3 das Blockschaltbild des erfindungsgemäßen Phasen-Frequenz-Detektors darstellt und dass der am Eingang D des flankengetriggerten D-Flip-Flops 13 anliegende Pegel bei einer positiven Flanke des Referenzfrequenz-Signals 4 am Takteingang Clk auf den Ausgang Q geschaltet wird. Es wird jedoch nicht vorgeschrieben, dass die beiden Speicherglieder 13 und 14 *"einzig jeweils einen Ausgang mit nicht-invertierter Logik"* aufzuweisen haben.

In der Tat zeigt Figur 3 nicht den tatsächlichen Aufbau eines D-Flip-Flops, sondern lediglich die Anschlüsse, die für die Darstellung des Blockschaltbildes relevant sind. Diese Darstellung impliziert aber nicht, dass keine anderen Anschlüsse vorhanden sein dürfen. So zeigt

Figur 3 auch keine Anschlüsse für die Spannungsversorgung der verschiedenen Schaltungen, obwohl diese notwendigerweise vorhanden sein müssen.

Mit anderen Worten kann der Figur 3 zwar entnommen werden, dass lediglich der Q-Ausgang der D-Flip-Flops 13 und 14 bei dem abgebildeten Phasen-/Frequenzkomparator verwendet wird. Dies bedeutet jedoch nicht, dass die einzusetzenden D-Flip-Flops jeweils mit einem einzigen Ausgang bestückt sein müssen.

- 4.4 Da die Ansprüche 1 und 6 des Hauptantrags in einer Weise geändert worden sind, dass ihr Gegenstand über die Anmeldung in der ursprünglich eingereichten Fassung hinausgeht, liegt ein Verstoß gegen Artikel 123 (2) EPÜ vor.

Hilfsanträge I bis VII

5. Anspruch 1 der Hilfsanträge I bis VII und Anspruch 6 der Hilfsanträge II, IV und VI enthalten das o. g. Merkmal, "*dass die beiden flankengetriggerten Speicherglieder (13, 14) einzig jeweils einen Ausgang mit nicht-invertierter Logik aufweisen*". Sie verletzen somit auch Artikel 123 (2) EPÜ.

Artikel 56 EPÜ

Hilfsantrag VIII

6. Anspruch 1 gemäß dem Hilfsantrag VIII unterscheidet sich von Anspruch 1 des Hauptantrages dadurch, dass das vorstehend unter Artikel 123 (2) EPÜ beanstandete

Merkmal durch folgendes, in der ursprünglichen Anmeldung offenbartes Merkmal ersetzt worden ist:

- *"dass von den beiden flankengetriggerten Speichergliedern (13, 14) einzig jeweils ein Ausgang mit nicht-invertierter Logik verwendet wird".*

7.1 Das Dokument D1, das den nächstliegenden Stand der Technik darstellt, betrifft einen Phasen-/Frequenzregelkreis mit einem Phasen-/Frequenzkomparator und einem Frequenzoszillator. Der Phasen-/Frequenzkomparator gemäß D1 weist u. a. folgende im Oberbegriff von Anspruch 1 des Hilfsantrags VIII aufgeführte Merkmale auf (siehe Figuren 1, 5 und 6):

- zwei flankengetriggerte Speicherglieder 1, 2, die jeweils mit einer Flanke eines Referenzfrequenz-Signals des Phasen-/Frequenzregelkreises und einer Flanke eines geteilten Ausgangsfrequenz-Signals des Phasen-/Frequenzregelkreises gesetzt werden und jeweils mit einem Ausgangssignal RS einer Rücksetzlogik-Einheit 3 zurückgesetzt werden,
- die Eingänge der Rücksetzlogik-Einheit 3 sind von den Ausgangssignalen der beiden flankengetriggerten Speicherglieder gespeist.

Die in Figur 6 von D1 dargestellte Rücksetzlogik-Einheit umfasst ein asynchrones pegelgetriggertes RS-Speicherglied, das aus zwei NAND-Gattern NG₂ und NG₄ besteht und daher mit *"inverser Logik"* realisiert ist (siehe kennzeichnenden Teil von Anspruch 1).

7.2 Laut Beschwerdeführerin unterscheidet sich der Gegenstand von Anspruch 1 gemäß Hilfsantrag VIII von dem aus D1 bekannten Phasen-/Frequenzkomparator dadurch,

- a) *"dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder deaktiviert (13, 14) sind",*
- b) *dass "der Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes (17) vom Ausgangssignal (20) eines ODER-Gatters (21) gespeist wird", und*
- c) *"dass von den beiden flankengetriggerten Speichergliedern (13, 14) einzig jeweils ein Ausgang mit nicht-invertierter Logik verwendet wird".*

Die Beschwerdeführerin hat u. a. geltend gemacht, dass sich D1 mit einer ganz anderen Aufgabenstellung als die vorliegende Erfindung befasse. In der Tat stelle dieses Dokument insbesondere darauf ab, den bei bestehenden Phasenkomparatorschaltungen vorkommenden "Blindsektor" BS (siehe Figur 3 von D1) zu vermeiden, welcher die Ausgabe der zur Regelung des Oszillators dienenden Ausgangssignale OA und OB des Phasenkomparators betrifft und bei gleichphasigen Eingangssignalen A und B auftritt. Beim erfindungsgemäßen Phasen-/Frequenzkomparator sei die Rücksetzlogik-Einheit erst aktiviert, wenn beide Ausgangssignale der flankengetriggerten Speicherglieder

aktiviert seien, d. h. den Zustand eingenommen hätten, der einem gleichzeitigen Hoch- und Herunterregeln der Frequenz des Oszillators entspricht. Hingegen sei bei D1 die Rucksetzlogik erst aktiviert, wenn sich die Eingangssignale des Frequenzoszillators im Zustand hoher Impedanz befänden, d. h. wenn beide Ausgangssignale der flankengetriggerten Speicherglieder deaktiviert seien (siehe D1 Spalte 3, Zeilen 24 bis 30). Das Merkmal a) des erfindungsgemäßen Komparators trage somit auch zur Abgrenzung vom Stand der Technik bei. Dieser Unterschied ergebe sich u. a. daraus, dass der Frequenzoszillator durch die Ausgänge OA und OB des Phasenkomparators nicht direkt, sondern über eine Ladungspumpe 4 gesteuert wird.

- 8.1 Gemäß der Beschreibung (Seite 2, zweiter Absatz) der veröffentlichten Anmeldung besteht das durch einen Phasen-Frequenz-Detektor mit flankengetriggerten Flip-Flops und Rücksetzlogik erzeugte Stellsignal zum Nachregeln des Frequenzoszillators aus zwei Signalen. Das erste Signal dient zum Hochregeln der Frequenz des Frequenzoszillators im Fall einer positiven Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz, während das zweite Signal dafür vorgesehen ist, die Frequenz des Frequenzoszillators im Falle einer negativen Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz herunterzuregeln. Die Stellsignale $Stell_{oben}$ und $Stell_{unten}$ werden jeweils von einem flankengetriggerten D-Flip-Flop erzeugt, das vom Referenzfrequenzsignal bzw. vom Ausgangsfrequenzsignal gesetzt wird. Aufgrund der möglichen Phasen- und Frequenzbeziehungen des Referenzfrequenzsignals zum Ausgangsfrequenzsignal existieren insgesamt vier mögliche Zustände der beiden D-Flip-Flop-Ausgänge (00, 01, 10, 11). Da der Zustand

"11" ein gleichzeitiges Hoch- und Herunterregeln der Frequenz des Frequenzoszillators bewirken würde, wird er durch eine Rücksetzlogik unterdrückt, welche auf den Zustand "11" anspricht und beide D-Flip-Flops auf den Zustand "00" zurücksetzt. *"Hierzu wird im allgemeinen ein UND-Gatter verwendet, dessen Eingänge mit den Ausgängen der beiden Flip-Flops und dessen Ausgang mit den Rücksetz-Eingängen der beiden Flip-Flops verbunden sind"* (Seite 2, Zeilen 32 bis 36 der veröffentlichten Anmeldung). Die Figuren 1A bis 1D zeigen die Stellsignale $Stell_{oben}$ und $Stell_{unten}$ für unterschiedliche Frequenz- und Phasen-Abweichungen. Wie diesen Figuren eindeutig zu entnehmen ist, wird die Rücksetzlogik erst aktiviert und beide Flip-Flops in den logischen Zustand "0" zurückgesetzt, wenn beide Stellsignale den logischen Zustand "1" angenommen haben.

- 8.2 Figur 5 von D1 ist die schematische Darstellung eines Phasen-/Frequenzkomparators, der aus zwei Flip-Flops 1, 2 und einer Halteschaltung 3 besteht und dazu dient, die Phase eines ersten Eingangssignals A mit der Phase eines zweiten Eingangssignals B zu vergleichen. Beim Empfang des ersten Eingangssignals A gibt das Flip-Flop 1 ein erstes Ausgangssignal O_A und ein invertiertes Ausgangssignal O_a des ersten Ausgangssignals O_A aus, während das zweite Flip-Flop 2 das zweite Eingangssignal B empfängt und ein zweites Ausgangssignal O_B und ein entsprechend invertiertes Signal O_b ausgibt. Die mit den Ausgängen des ersten und des zweiten Flip-Flops 1, 2 verbundene Halteschaltung 3 legt in Übereinstimmung mit den Ausgangssignalen O_A und O_B (Zustand "11") und den invertierten Ausgangssignalen O_a und O_b (Zustand "00") ein Rücksetzsignal RS an das erste und an das zweite Flip-Flop 1, 2 an. Daher ist die Rücksetzlogik erst

aktiviert, wenn beide Flip-Flops 1, 2 jeweils durch das erste und das zweite Eingangssignal A und B aktiviert sind.

Die Betriebsweise des bekannten Phasen-Frequenzkomparators wird ferner durch das Zeitdiagramm gemäß Figur 7 verdeutlicht. Wenn eine Phase des Eingangssignals A der Phase des zweiten Eingangssignals B voreilt, wird das erste Eingangssignal A an den Taktimpulsanschluss CK_1 des ersten Flip-Flops 1 angelegt. Das erste Ausgangssignal O_A wird durch das erste Flip-Flop verzögert und von seinem Ausgangsanschluss Q_{1A} ausgegeben. Als nächstes wird das zweite Eingangssignal B an den Taktimpulsanschluss CK_2 des zweiten Flip-Flops angelegt. Das zweite Ausgangssignal O_B wird durch das zweite Flip-Flop 2 verzögert und von seinem Ausgangsanschluss Q_{2B} ausgegeben (Abschnitt α).

Wenn das erste Ausgangssignal O_A vom niedrigen zum hohen Pegel ansteigt und das zweite Ausgangssignal O_B nach einer spezifischen Zeit in Übereinstimmung mit einer Phasendifferenz zwischen dem ersten und dem zweiten Ausgangssignal O_A , O_B auch ansteigt, ändert sich das Rücksetzsignals RS vom hohen zum niedrigen Pegel. Sowohl das erste als auch das zweite Flip-Flop 1, 2 werden somit zurückgesetzt, d. h. ihre Ausgangssignale O_A und O_B ändern sich wieder vom hohen zum niedrigen Pegel.

Abschnitt β von Figur 7 zeigt die Signale O_A , O_B , wenn eine Phase des Eingangssignals B der Phase des Eingangssignals A voreilt und Abschnitt γ ist eine Darstellung dieser Signale, wenn das erste und das zweite Eingangssignal A, B gleichphasig sind.

Es ist ersichtlich, dass die in Figur 7 dargestellte Betriebsweise des bekannten Phasenkomparators der Betriebsweise des erfindungsgemäßen Phasenkomparators genau entspricht (siehe Figuren 1A bis 1D der Anmeldung) und dass auch das Ausgangssignal der Rücksetzlogik gemäß D1 im Sinne der vorliegenden Anmeldung aktiviert ist, wenn die Ausgangssignale der beiden flankengetriggerten Speicherglieder aktiviert sind und erst dann deaktiviert ist, wenn beide Ausgangssignale der beiden flankengetriggerten Speicherglieder deaktiviert sind (vgl. Merkmal a) von Anspruch 1 gemäß Hilfsantrag VIII).

- 8.3 Der Gegenstand von Anspruch 1 gemäß dem Hilfsantrag VIII unterscheidet sich daher von dem aus D1 bekannten Phasen- /Frequenzkomparator lediglich durch die o. g. Merkmale b) und c).

Es ist jedoch zu beachten, dass das Merkmal b) eigentlich die notwendige Konsequenz des Merkmals c) ist. In der Tat ist dem Fachmann bekannt, dass die Wahrheitstabelle eines NAND-Gatters mit invertierten Eingängen der Wahrheitstabelle eines ODER-Gatters mit nicht-invertierten Eingängen entspricht, so dass die Ansteuerlogik des aus D1 bekannten Phasen- /Frequenzkomparators und die des beanspruchten Komparators die gleiche logische Funktion implementieren. Die Frage ist nun, ob es für den Fachmann nahe liegend war, ausgehend von D1 einen Phasen-/Frequenzkomparator zu entwickeln, bei dem von den beiden flankengetriggerten Speichergliedern einzig jeweils ein Ausgang mit nicht-invertierter Logik verwendet wird.

- 8.4 Die Beschwerdeführerin hat u. a. geltend gemacht, dass der erfindungsgemäße Phasen-Frequenzkomparator für hohe

Frequenzen bestimmt sei und daher besondere Anforderungen zu erfüllen habe. Bei einem solchen Einsatz verursachten die vorgesehene Platzierung der flankengetriggerten D-Flip-Flops in der Nähe der Quelle des Referenzfrequenz-Signals bzw. des strom- oder spannungsgesteuerten Frequenzoszillators 10 und die entsprechenden Leitungslängen unterschiedliche Laufzeiten der jeweiligen Ausgangssignale zu den Logikbausteinen der Rücksetzlogik. Unter diesen Umständen sei es problematisch, beide flankengetriggerten D-Flip-Flops gleichzeitig zurückzusetzen und somit den unerwünschten logischen Zustand "11" der Stellsignale zu verhindern. Aufgrund der vier Leitungen, die bei dem aus D1 bekannten Phasen-/Frequenzkomparator erforderlich sind, um die Ansteuerlogik mit den nicht-invertierten und den invertierten Ausgängen der D-Flip-Flops zu verbinden, seien Signallaufzeit-Effekte noch wahrscheinlicher und die Regelabweichungen des Phasen-/Frequenzregelkreises noch ausgeprägter.

Ausgehend von dem aus D1 bekannten Phasen-/Frequenzkomparator bestehe die durch die vorliegende Erfindung gelöste Aufgabe darin, die Wirkung von Störungen bei der Übertragung der Signale von den flankengetriggerten D-Flip-Flops zur Rücksetzlogik zu vermindern.

In Dokument D1 werde diese Problematik gar nicht angesprochen. Folglich habe der Fachmann überhaupt keinen Anlass gehabt, eine bekannte und bewährte Lösung zu ändern und auf naheliegender Weise zum beanspruchten Gegenstand zu gelangen.

- 9.1 Gemäß der Beschreibung (Seite 2, Zeilen 32 bis 36) der veröffentlichten Anmeldung wird für die Rücksetzlogik im Allgemeinen ein UND-Gatter verwendet. Bei einer solchen Lösung können jedoch die beiden flankengetriggerten Flip-Flops unter Umständen nicht exakt gleichzeitig zurückgesetzt werden.

Zur Erzielung eines zuverlässigen Rücksetzvorgangs der flankengetriggerten Speicherglieder wird anstelle eines statischen Gatterbausteins zur Gewinnung des Rücksetzsignals aus den Ausgangssignalen der flankengetriggerten Speicherglieder ein asynchrones RS-Flipflop verwendet, das erst gesetzt wird, wenn beide nicht-invertierten Ausgänge der flankengetriggerten Speicherglieder gesetzt sind. Wenn die D-Flip-Flops durch das Rücksetzsignal zurückgesetzt sind, wird auch das Rücksetzsignal zurückgesetzt.

- 9.2 Bei dem Frequenzkomparator gemäß Figur 6 von D1 ist für die Aktivierung der Rücksetzlogik, d. h. für die Änderung des RS-Signals von seinem hohen Pegel zu einem niedrigen Pegel, entscheidend, dass beide Ausgänge O_A und O_B den logischen Zustand "1" angenommen haben, damit der Ausgang des NAND-Gatters NG_1 auf "0" wechselt und das aus zwei NAND-Gattern NG_2 , NG_4 bestehende RS-Flip-Flop gesetzt wird. Dabei ist zu beachten, dass der Ausgang des NAND-Gatter NG_3 unverändert auf "1" bleibt, wenn seine von den invertierten Ausgängen O_a und O_b gelieferten Eingangssignale vom Zustand "10" oder "01" auf den Zustand "00" wechseln.

Mit anderen Worten hängt die Aktivierung der Rücksetzlogik des aus D1 bekannten Phasenkomparators ausschließlich vom Wechseln der Eingangssignale des

NAND-Gattern NG_1 und daher der Ausgänge O_A und O_B auf den logischen Zustand "1". Für einen zuverlässigen Rücksetzvorgang beider D-Flip-Flops dürften somit die Laufzeiten der invertierten Signale O_a und O_b unerheblich sein. Folglich dürfte der Verzicht auf die Verwendung der invertierten Ausgangssignale O_a und O_b zur Ansteuerung der Rücksetzlogik keine Auswirkung auf die Verminderung nachteiliger Laufzeit-Effekte bei der Zurücksetzung D-Flip-Flops haben (siehe Aufgabenstellung der Beschwerdeführerin).

9.3 Ausgehend von einem Phasen-/Frequenzregelkreis gemäß D1 sieht die Kammer die durch die vorliegende Anmeldung gelöste Aufgabe darin, eine alternative Implementierung der bekannten Rücksetzlogik zu schaffen, welche mit einem geringeren Verdrahtungsaufwand verbunden ist.

9.4 Sowohl bei der vorliegenden Anmeldung als auch beim Phasen-/Frequenzregelkreis gemäß D1 wird für die Rücksetzlogik ein RS-Flip-Flop mit inverser Logik verwendet, das aus zwei NAND-Gattern besteht. Bekanntlich nimmt dieses RS-Flip-Flop folgende Zustände an:

$S = 0$	$, R = 0$	$Q =$ undefiniert
$S = 0$	$, R = 1$	$Q = 1$
$S = 1$	$, R = 0$	$Q = 0$
$S = 1$	$, R = 1$	$Q =$ unverändert.

Mit anderen Worten, wenn die Eingänge S und R die Zustände "01" und "10" annehmen, erfolgt das Setzen bzw. Rücksetzen eines RS-Flip-Flops mit inverser Logik. Die entsprechende Ansteuerlogik soll die drei Kombinationen der Eingangssignale S und R ("01", "10", "11")

bereitstellen, welche die drei definierten Zustände des RS-Flip-Flops ($Q = 1$, $Q = 0$ und $Q = \text{unverändert}$) erlauben.

Bei einem gattungsgemäßen Phasen-/Frequenzregelkreis dient die Rücksetzlogik dazu, ein Rücksetzsignal zu generieren, wenn beide Ausgänge Q der D-Flip-Flops aktiviert sind (Zustand "11"), d. h. wenn der Vergleich der Frequenzen, bzw. der Phasen des Referenzfrequenzsignals und des Ausgangsfrequenzsignals erfolgt ist. Während dieses Vergleichs, d. h. wenn die Q -Ausgänge der D-Flip-Flops die Zustände 1, 0 oder 0, 1 haben, soll der Zustand des RS-Flip-Flops unverändert bleiben. Nach Rücksetzung der D-Flip-Flops (Zustand "00") soll auch das RS-Flip-Flop zurückgesetzt und somit auf den nächsten Vergleichszyklus vorbereitet werden.

Zusammenfassend, stellt die Ansteuerlogik folgende Ausgangssignale als Funktion der Q -Ausgänge $\text{Stell}_{\text{oben}}$ und $\text{Stell}_{\text{unten}}$ der D-Flip-Flops bereit:

$\text{Stell}_{\text{oben}} = 0, \text{Stell}_{\text{unten}} = 0 \quad S = 1, R = 0, Q = 0$ ("Rücksetzen")

$\text{Stell}_{\text{oben}} = 1, \text{Stell}_{\text{unten}} = 0 \quad S = 1, R = 1, Q = \text{unverändert}$

$\text{Stell}_{\text{oben}} = 0, \text{Stell}_{\text{unten}} = 1 \quad S = 1, R = 1, Q = \text{unverändert}$

$\text{Stell}_{\text{oben}} = 1, \text{Stell}_{\text{unten}} = 1 \quad S = 0, R = 1, Q = 1$ ("Setzen")

S und R nehmen somit Werte an, die einer NAND-Verknüpfung und einer OR-Verknüpfung von $\text{Stell}_{\text{oben}}$ und $\text{Stell}_{\text{unten}}$ entsprechen.

- 9.5 Zusammenfassend ergibt sich die logische Funktion, die durch die Ansteuerlogik des RS-Flip-Flops verwirklicht werden soll, aus der Funktion der Rücksetzlogik bei einem gattungsgemäßen Phasen- /Frequenzregelkreis.
- 9.6 Die Implementierung logischer Verknüpfungen gehört zu den Grundkenntnissen des Fachmanns. Wie die Prüfungsabteilung festgestellt hat, ist dem zuständigen Fachmann bekannt, dass eine OR-Verknüpfung wahlweise durch einen OR-Gatter oder einen NAND-Gatter mit invertierten Eingängen realisiert werden kann.
- 9.7 Der Fachmann, der sich vor die Aufgabe gestellt sah, eine alternative Implementierung der aus D1 bekannten Rücksetzlogik zu verwirklichen, war sich dessen bewusst, dass der NAND-Gatter NG₃ mit invertierten Eingängen eigentlich einer OR-Verknüpfung der nicht-invertierten Eingänge entspricht und somit durch einen mit diesen Eingängen verbundenen OR-Gatter realisiert werden kann.
- Es kann daher kein erfinderisches Zutun darin gesehen werden, als Alternative zu der aus D1 bekannten Lösung die Ansteuerlogik für den R-Eingang des RS-Flip-Flops durch einen mit den nicht-invertierten Ausgängen der D-Flip-Flops verbundenen OR-Gatter zu implementieren.
- 9.8 Der Gegenstand von Anspruch 1 gemäß dem Hilfsantrag VIII beruht somit nicht auf einer erfinderischen Tätigkeit gemäß Artikel 56 EPÜ.
10. Anspruch 6 gemäß dem Hilfsantrag VIII der Beschwerdeführerin bezieht sich auf einen "*Phasen- /Frequenzkomparator (8) für einen Phasen-*

/Frequenzregelkreis", welcher die im Anspruch 1 aufgeführten Merkmale aufweist.

Die o. g. Bemerkungen gelten daher auch für diesen Anspruch.

Hilfsantrag IX

11. Die Ansprüche 1 bis 5 gemäß dem Hilfsantrag IX entsprechen den Ansprüchen 1 bis 5 des Hilfsantrags VIII.

Hilfsantrag X

12.1 Anspruch 1 gemäß dem Hilfsantrag X betrifft das in Figur 5 abgebildete Ausführungsbeispiel der vorliegenden Erfindung und unterscheidet sich von Anspruch 1 des Hilfsantrags VIII durch die Rücksetzlogik-Einheit (15), die wie folgt definiert ist:

- *"dass in der Rücksetzlogik-Einheit (15) ein asynchrones pegelgetriggertes RS-Speicherglied (24) verwendet ist, das eine nicht-inverse Logik aufweist".*

12.2 Die Beschwerdeführerin hat u. a. geltend gemacht, dass ein RS-Speicherglied mit nicht-inverser Logik den Vorteil habe, aus NOR-Gattern zu bestehen, die im allgemeinen schneller als NAND-Gatter zu schalten sind. Dieses Merkmal in Kombination mit den anderen Merkmalen des beanspruchten Phasen-/Frequenzregelkreises ergäbe Synergie-Effekte, die eine stabile Phasen-/Frequenzregelung bei hohen Frequenzen gewährleisten.

12.3 Es gehört zum Grundwissen des Fachmanns, dass ein RS-Speicherglied (d. h. ein RS-Flip-Flop) aus zwei über

Kreuz miteinander gekoppelten NAND- oder NOR-Gattern besteht (siehe D6).

Wie es den entsprechenden und dem Fachmann allgemein bekannten Wahrheitstabellen zu entnehmen ist, weisen die beiden Ausführungsformen eines RS-Flip-Flops eine inverse bzw. eine nicht-inverse Logik auf.

- 12.4 Es kann daher keine erfinderische Tätigkeit darin gesehen werden, ein aus NOR-Gattern bestehendes RS-Flip-Flop für die Rücksetzlogik-Einheit des aus D1 bekannten Phasen-/Frequenzregelkreises (siehe Figur 6) zu verwenden.

Hilfsantrag XI

13. Die Ansprüche 1 bis 5 gemäß dem Hilfsantrag XI entsprechen den Ansprüchen 1 bis 5 des Hilfsantrags X.

Hilfsantrag XII

- 14.1 Anspruch 1 gemäß dem Hilfsantrag XII betrifft die in Figur 5 der vorliegenden Anmeldung abgebildete Rücksetzlogik und unterscheidet sich von Anspruch 1 der Hilfsanträge X und XI dadurch:

"dass an den Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes (24) das Ausgangssignal (27) eines invertierten ODER-Gatters (28) geführt ist und dass die beiden Eingänge des invertierten ODER-Gatters (28) von den beiden Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind."

- 14.2 Laut Beschwerdeführerin soll die Rücksetzlogik gemäß Hilfsantrag XII gegenüber der Rücksetzlogik des Ausführungsbeispiels der Figur 4 den Vorteil haben, dass nicht das Ausgangssignal eines UND-Gatters, sondern das Ausgangssignal eines ODER-Gatters zu invertieren ist. Da die Invertierung eines Ausgangssignals eine zusätzliche Verzögerung bei der Signalübertragung verursache und ein ODER-Gatter schneller als ein UND-Gatter schalte, sei es vorteilhaft, die Invertierung am Ausgang eines ODER-Gatters vorzunehmen. Die Kombination eines AND-Gatters mit einem NOR-Gatter anstatt der Kombination eines NAND-Gatters mit einem OR-Gatter könne daher die Schaltzeit der Rücksetzlogik weiter reduzieren.
- 14.3 Beim Phasen-/Frequenzkomparator gemäß Figur 5 der vorliegenden Anmeldung ist für das Setzen des RS-Speichergliedes mit nicht-inverser Logik entscheidend, dass beide Signale $Stell_{oben}$ und $Stell_{unten}$ und folglich der Ausgang des UND-Gatters 26 den logischen Zustand "1" angenommen haben, damit der Ausgang 16 des RS-Flip-Flops auf "1" wechselt. Dabei ist zu beachten, dass der Ausgang des invertierten ODER-Gatters 28 schon beim Wechseln eines einzigen Stellsignals ($Stell_{oben}$ oder $Stell_{unten}$) auf "1" den logischen Zustand "0" annimmt.
- 14.4 Die Verwendung eines RS-Flip-Flops mit nicht-inverser Logik für die Rücksetzlogik-Einheit von D1, Figur 6, impliziert, dass die Ausgänge der Gatter NG1 und NG3 invertiert werden müssen, damit durch die Rücksetzlogik-Einheit 3 die gleiche logische Funktion implementiert wird. Anstatt des NAND-Gatters NG3 muss daher ein AND-Gatter eingesetzt werden. Es ist aber dem Fachmann bekannt, dass ein AND-Gatter mit invertierten Eingängen

eine NOR-Verknüpfung der nicht-invertierten Eingänge bewirkt.

Mit anderen Worten bedeutet der Einsatz eines RS-Flip-Flops mit nicht-inverser Logik in die aus D1 bekannte Rücksetzlogik-Einheit für den Fachmann, dass die jeweilige NAND-Verknüpfung der invertierten und der nicht-invertierten Ausgänge der D-Flip-Flops 13 und 14 durch entsprechende AND-Verknüpfungen ersetzt werden müssen, wobei es dem Fachmann überlassen bleibt, mit welchen Gattern und Ausgängen diese AND-Verknüpfungen verwirklicht werden können.

- 14.5 Angesichts der Aufgabe, die aus Figur 6 von D1 bekannte Rücksetzlogik-Einheit mit alternativen Logikschaltungen auszuführen, war es für den Fachmann naheliegend, sich auf das allgemeine Fachwissen auf dem Gebiet der logischen Schaltungen zu stützen und somit zum Gegenstand von Anspruch 1 und Anspruch 6 des Hilfsantrags XII zu gelangen.

Hilfsantrag XIII

15. Die Ansprüche 1 bis 5 gemäß dem Hilfsantrag XIII entsprechen den Ansprüchen 1 bis 5 des Hilfsantrags XII.

Hilfsantrag XIV

- 16.1 Anspruch 1 gemäß dem Hilfsantrag XIV unterscheidet sich von Anspruch 1 der Hilfsanträge XII und XIII dadurch,

- *"dass der Setzeingang des asynchronen pegelgetriggerten RS-Speichergliedes (24) vom*

Ausgangssignal (25) eines UND-Gatters (26) gespeist ist und

- *dass an die Eingänge des UND-Gatters (26) die Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) geführt sind".*

16.2 Wie vorstehend ausgeführt, setzt der Einsatz eines RS-Flip-Flops mit nicht-inverser Logik in die aus D1 bekannte Rücksetzlogik-Einheit voraus, dass die Eingänge R und S invertiert werden. So wird u. a. anstatt des NAND-Gatters NG1 ein AND-Gatter eingesetzt, wie in Anspruch 1 des Hilfsantrags XIV angegeben.

Mit anderen Worten sind die o. g. Merkmale lediglich als die logische Ergänzung des Einsatzes eines RS-Flip-Flops mit nicht-inverser Logik anzusehen.

Hilfsantrag XV

17. Die Ansprüche 1 bis 5 gemäß dem Hilfsantrag XV entsprechen den Ansprüchen 1 bis 5 des Hilfsantrags XIV.

Zulässigkeit des verspätet eingereichten "neuen Antrags"

18.1 Am Ende der mündlichen Verhandlung und nach Erörterung des Hauptantrags und der Hilfsanträge I bis XV bat die Beschwerdeführerin die Kammer, einen neuen Anspruchssatz einreichen zu dürfen, der als "Neuer Antrag" alle bestehenden Anträge ersetzen würde. Als Grund für die verspätete Einreichung dieses Antrags gab die Beschwerdeführerin an, erst während der Beratung der Kammer erkannt zu haben, dass eine Ergänzung des ersten

Merkmals im kennzeichnenden Teil der unabhängigen Ansprüche sinnvoll sei, um einen wesentlichen Unterschied zwischen dem Gegenstand dieser Ansprüche und dem bekannten Phasen-/Frequenzregelkreis hervorzuheben.

18.2 Schon in der angefochtenen Entscheidung hatte die Prüfungsabteilung festgestellt, dass das erste Merkmal (Merkmal a)) im kennzeichnenden Teil von Anspruch 1 des Hauptanspruchs aus D1 bekannt sei.

In dem der Ladung zur mündlichen Verhandlung beigefügten Bescheid der Kammer wurde der Beschwerdeführerin mitgeteilt, dass auch die Kammer das o. g. Merkmal a) durch D1 vorweggenommen sah.

In ihrem Schreiben vom 26. April 2010 ging die Beschwerdeführerin u. a. davon aus, dass sich die Rücksetzlogik gemäß Figur 6 des nächstliegenden Standes der Technik D1 vom Gegenstand des Anspruchs 1 des Hauptantrags und der Hilfsanträge I, VII und IX durch folgende zwei Merkmale unterscheidet:

- der Rücksetzeingang des asynchronen pegelgetriggerten RS-Speichergliedes der Rücksetzlogik wird in dem Dokument D1 durch das Ausgangssignals eines NAND-Gatters angesteuert (siehe Merkmal b)) ,
- die beiden flankengetriggerten Speicherglieder des Phasen-Frequenzdetektors in der D1 weisen jeweils einen Ausgang mit nicht-invertierter Logik und zusätzlich einen Ausgang mit invertierter Logik auf (siehe Merkmal c)).

Erst zu Beginn der Erörterung des Hauptantrags in der mündlichen Verhandlung machte die Beschwerdeführerin geltend, dass sich D1 mit einer ganz anderen Aufgabe als die vorliegende Anmeldung befasse. Das Merkmal a) könne aus D1 gar nicht bekannt sei, weil es der tatsächlichen Aufgabenstellung dieses Dokuments widerspreche.

Eine Klarstellung des Merkmals a) wurde jedoch weder von der Kammer für erforderlich gehalten noch von der Beschwerdeführerin angestrebt.

Nachdem die Kammer ihre im Bescheid vom 25. Februar 2010 geäußerte Meinung bezüglich der Offenbarung des Merkmals a) in D1 bestätigt hatte, wurde bei der Erörterung der Hilfsanträge in der mündlichen Verhandlung keine weitere Diskussion über die Bedeutung dieses Merkmals geführt.

- 18.3 Es ist daher ersichtlich, dass die Beschwerdeführerin sowohl im Prüfungsverfahren als auch im Beschwerdeverfahren die Möglichkeit hatte, das o. g. Merkmal a) zu ergänzen oder klarzustellen, wenn sie dies für sachdienlich gehalten hätte. Dem schon im Prüfungsverfahren erhobenen Einwand der mangelnden Neuheit des Merkmals a) wurde jedoch in der Beschwerdebegründung nicht widersprochen.

Ferner ist die Kammer der Auffassung, dass die von der Beschwerdeführerin vorgeschlagene Ergänzung des Merkmals a) nicht dazu dienen kann, die Bedenken der Kammer bezüglich der erfinderischen Tätigkeit des beanspruchten Gegenstandes auszuräumen, so dass die Beschwerdeführerin auch mit dem "neuen Antrag" keine Aussicht auf Erfolg haben würde.

18.4 Unter diesen Umständen hat die Kammer entschieden, von ihrem Ermessen gemäß Artikel 13(1) der Verfahrensordnung Gebrauch zu machen und den von der Beschwerdeführerin erst in der mündlichen Verhandlung überreichten neuen Antrag nicht zuzulassen.

19.1 Aus den vorstehenden Gründen kommt die Kammer zu dem Schluss, dass keiner der von der Beschwerdeführerin gestellten Anträge eine Basis für die Erteilung eines Patents bieten kann.

19.2 Der Antrag der Beschwerdeführerin, ein Patent zu erteilen, war somit zurückzuweisen

Antrag auf Rückzahlung der Beschwerdegebühr

20.1 Regel 103 (1) a) EPÜ verlangt als eine Voraussetzung der Rückzahlung der Beschwerdegebühr, dass der Beschwerde stattgegeben wird. Da im vorliegenden Fall die Kammer zu dem Schluss gekommen ist, dass keiner der Anträge der Beschwerdeführerin eine Basis für die Erteilung eines Patents bietet, kann der Beschwerde in der Sache nicht stattgegeben werden.

20.2 Aus diesen Gründen erübrigte sich eine weitere Prüfung des Antrags der Beschwerdeführerin auf Rückzahlung der Beschwerdegebühr.

Entscheidungsformel

Aus diesen Gründen wird entschieden:

Die Beschwerde wird zurückgewiesen.

Die Geschäftsstellenbeamtin:

Der Vorsitzende:

U. Bultmann

M. Ruggiu